

McLean 輪読第 4 回 p.248-261

学籍番号 05-162003 理学部天文学科 4 年 小川貴士

2017 年 5 月 17 日

7.2 CCD の基本原理

7.2.1 電荷の蓄え

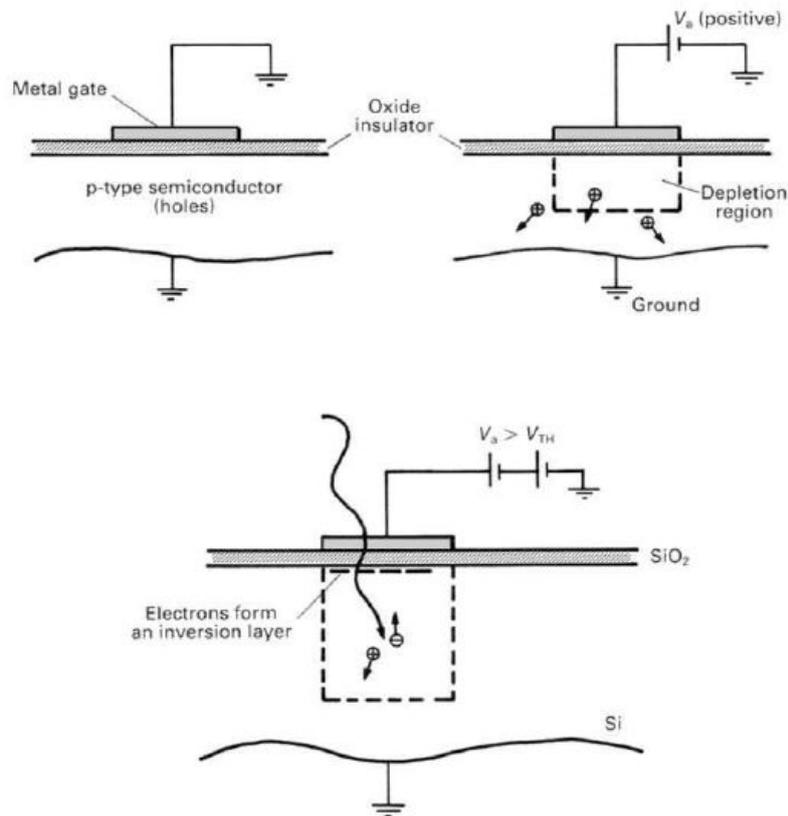


図1 CCD のレイアウト

- CCD は多数のピクセルの配列
- ピクセルは光子を吸収して、半導体中にエネルギーを放出する
- 光子から生み出された電子をその場所に留めておきたい
- 電極-絶縁体 SiO_2 -半導体 Si と配置：平行板コンデンサーのようになる (MOS=metal oxide semiconductor)

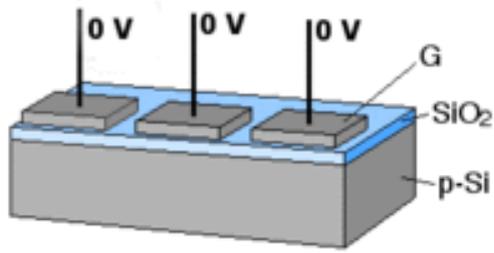


図2 CCDのレイアウト (Wikipediaより)

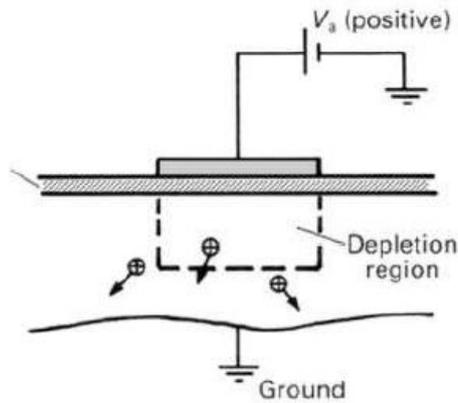


図3 CCD

p型の場合 (正孔多数)

- 電極に正の電圧をかける
- 生じた電圧が正孔 (hole) を追い払う → 空乏層 (depletion region) ができる
- 光子が入射して生じた電子正孔対 → 正孔は追いやられる / 電子は電極に吸い寄せられる

電荷容量

- 2つの平行板 (MOS, Si 空乏層)

蓄えられる電荷数 Q は、

$$Q = \frac{CV}{e}$$

$$C = \frac{A\kappa\epsilon_0}{d} \tag{1}$$

*1

*1 A:ピクセルまたはゲート電極の面積
d:領域の厚さ
 κ :SiO₂ 層の絶縁係数 (~ 3.9)
 ϵ_0 :真空中の誘電係数

- V が増加すると井戸の「深さ」が増大する
- 井戸の左右の壁を作る必要がある*2
- 閾値電圧 V_{TH} を超えると (p 型では) 負電荷が inversion layer を形成している層に負電荷が集まる

p-MOS

- ホウ素を付加 (dope) したシリコン (Si)
- 熱的に増加させた SiO_2 の層

ゲート電圧が負のとき

- Si-SiO₂ の表面に正孔が数ナノ秒で集まる
- accumulation mode という

ゲート電圧が正のとき

- SiO₂ 層の電荷容量 $C_{ox} = \frac{\epsilon_{ox}}{d}$ *3
- しばしば絶縁層は 2 層 : silicon nitride
- 合成容量 $C_T = C_{ox}C_{nit} / (C_{ox} + C_{nit})$

正の電圧が加わると

- 負の電荷を帯びたホウ素イオンを残して正孔は追いやられる → 空乏層
- 追いやられた正孔の数 = ゲート電極の正電荷の数
- $Q_i = eN_Ax_d$ *4
- 空乏層が non-conductive になるにつれて、絶縁体のようにふるまう
- その電荷容量 $C_{dep} = \epsilon_{Si}/x_d$
- 電荷容量は C_{ox}, C_{dep} の組み合わせ
- C_{dep} の方が小さいので、電荷容量はこちらが支配的*5

空乏層の電圧はどうなっているか？

Si-SiO₂ の境界を $x = 0$ 、最終的には電圧は 0 になるとする (*i.e.*, $V = E = 0$ at $x = x_d$)。Poisson

*2 電荷が逃げる？

*3 $\epsilon_{ox} = \kappa\epsilon_0$: SiO₂ 中の誘電率
 d : SiO₂ 層の厚さ

*4 Q_i : 電荷密度 [C/m²]
 x_d : 空乏領域の深さ [m]
 N_A : ホウ素の個数密度 [atom/m³]

*5 合成容量 C

$$\begin{aligned}
 C &= \frac{C_{ox}C_{dep}}{C_{ox} + C_{dep}} \\
 &= \frac{C_{dep}}{1 + \frac{C_{dep}}{C_{ox}}} \\
 &\sim C_{dep}
 \end{aligned}$$

方程式より

$$\frac{d^2}{dx^2}V = -\frac{\rho}{\epsilon_{Si}} \quad (2)$$

ρ への寄与は、以下の 4 つ

- p :自由正孔の数密度
- n :自由電子の数密度
- N_A :局所的に固定された ionized acceptors の数密度
- N_D :局所的に固定された ionized donors の数密度

ほとんどの free carriers は電場によって追いやられる。また、 $N_D \sim 0$ なので、 $\rho = -eN_A$ である。負号は正孔の欠乏による。よって

$$\begin{aligned} \frac{d^2}{dx^2}V &= -\frac{\rho}{\epsilon_{Si}} \\ &= \frac{eN_A}{\epsilon_{Si}} \\ \frac{d}{dx}V &= -E_x \\ &= \frac{eN_A}{\epsilon_{Si}}(x - x_d) \end{aligned} \quad (3)$$

$x = x_d$ のとき $V = 0$ より

$$V = \frac{eN_A}{\epsilon_{Si}}(x - x_d)^2 \quad (4)$$

$x = 0$ 、つまり Si-SiO₂ 境界面では

$$V_S = \frac{eN_A}{2\epsilon_{Si}}x_d^2 \quad (5)$$

$$E_S = \frac{eN_A}{\epsilon_{Si}}x_d \quad (6)$$

絶縁層の電圧は $V_{OX}/d = E_S$ である。よってゲート電圧は

$$\begin{aligned} V_G &= V_{OX} + V_S \\ &= E_S d + V_S \\ &= \left(\frac{eN_A}{\epsilon_{Si}}x_d\right)d + \left(\frac{eN_A}{2\epsilon_{Si}}\right)x_d^2 \end{aligned} \quad (7)$$

光子から生成された電子が表面に集まると、ionized acceptor の数が減る。よって空乏層の領域がわずかに小さくなる。そのときの実効ゲート電圧 V_Q は

$$V_Q = V_G - \frac{eN_e}{C_{OX}} \quad (8)$$

ただし、 N_e は signal charge の数*6

*6 光子から生成された電子の数?

MOS の電荷容量能力

MOS の電荷容量能力は表面のポテンシャルを 0 にするのに必要な電荷の量。Si-SiO₂ 表面のポテンシャル V_S の電荷密度 Q に対する変化分 ΔV_S は*7

$$\begin{aligned}\Delta V_S &= -\frac{Q}{C_{OX} + C_{dep}} \\ &\sim -\frac{Q}{C_{OX}} \\ Q &\sim C_{OX}\Delta V_S\end{aligned}\tag{9}$$

となる。よって 'full-well' な電荷容量数 N_{FW} は

$$N_{FW} = \frac{C_{OX}V_S}{e}\tag{10}$$

*8

*7 ここでの C は電荷容量密度

*8 具体例

- $N_A = 10^{15}$ [atom/m³]
 - $x_d = 1.5$ [μ m] at 10[V]
 - $V_S = 3.44$ [V]
 - $C_{OX} = 3.45 \times 10^{-8}$ [F/cm²]
- のとき、 $Q = 1.17 \times 10^{-7}$ [C/cm²] となる。32 [μ m] の領域に対しては、 $N_{FW} = 240,000$ となる。

7.2.2 Charge-coupling and clocking

- CCDでの電荷輸送は「バケツリレー」のようなもの
- 「バケツリレー」で分かった電荷の量から像の形状が分かる

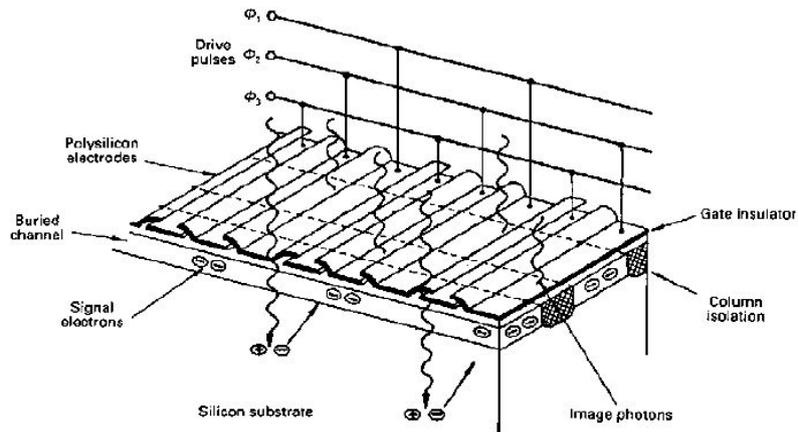


図4 CCD

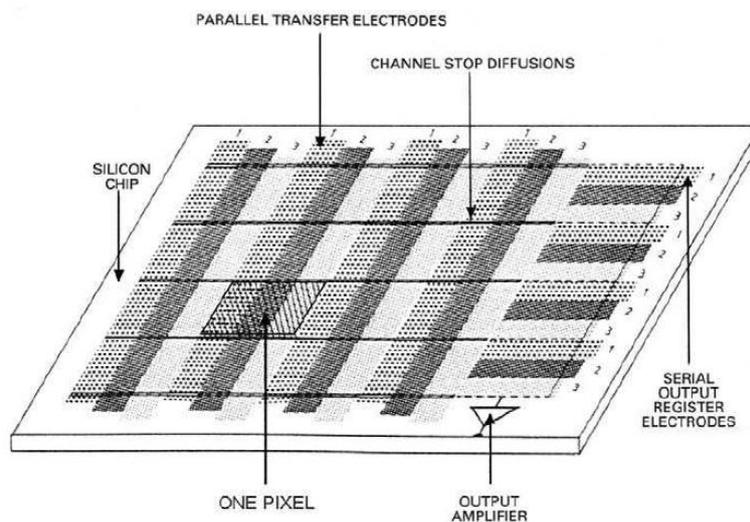


図5 CCD

3相構造

- 下から順に p 型 Si 半導体, SiO_2 絶縁体, 3 列の金属電極縞 (strip)
- 縞の 1 つ (中央) が他の 2 つより電圧が高いと、負電荷はそこに集中する (井戸の左右に壁ができる)
- 一定量の不純物をドーピングすることで、狭いチャンネルを作る → 電極の長さの方向に沿っては動けなくする (図の column isolation が相当)

電荷輸送

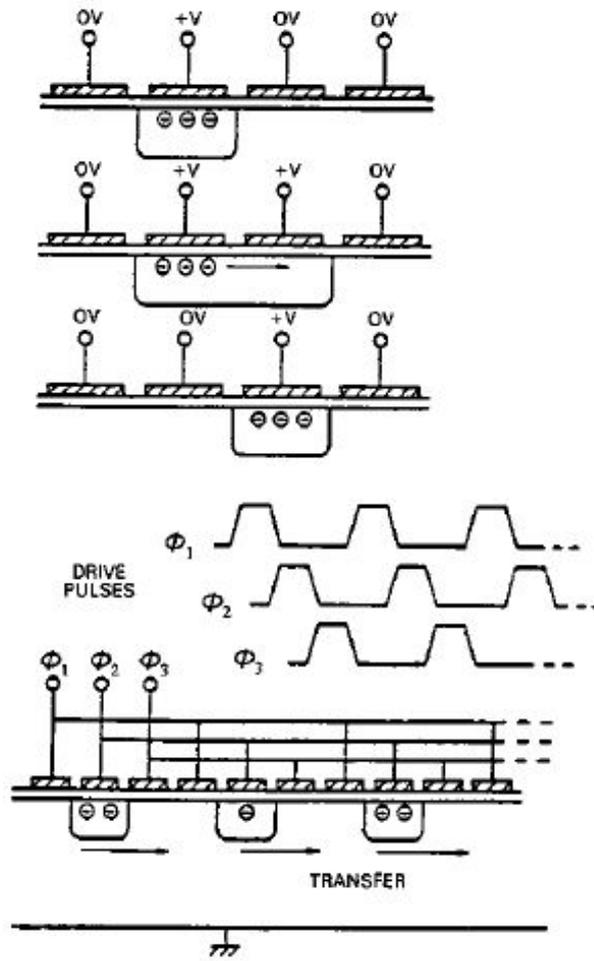


図6 CCD

- 電位を順番に上下させて電荷を「バケツリレー」していく
- 2次元の情報を同時に「バケツリレー」できる

7.3 CCD 設計

7.3.1 インターライン-トランスファー CCD / フレーム-トランスファー CCD

インターライントランスファー CCD

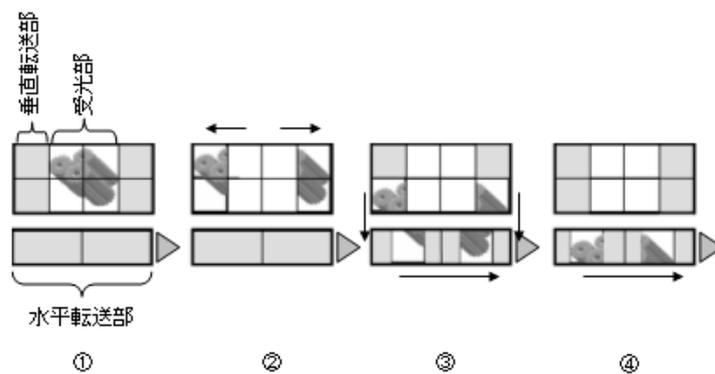
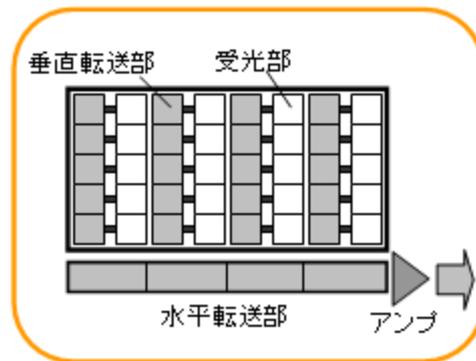


図7 インターライントランスファー CCD

- 受光部の光子を、(光が当たらないようにした) 垂直転送部にすぐ移す
- 垂直転送部の光子を水平転送部に移す → アンプへ

フレームトランスファー CCD

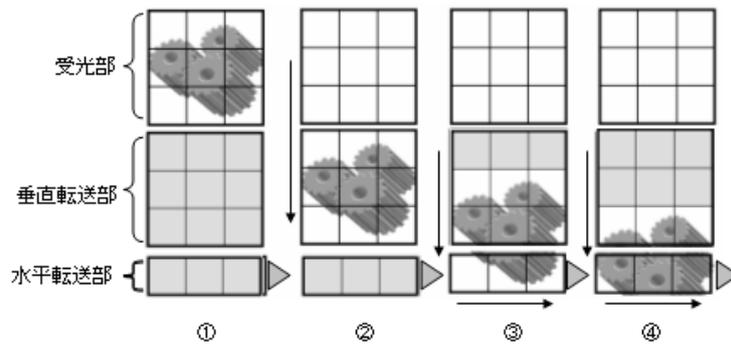
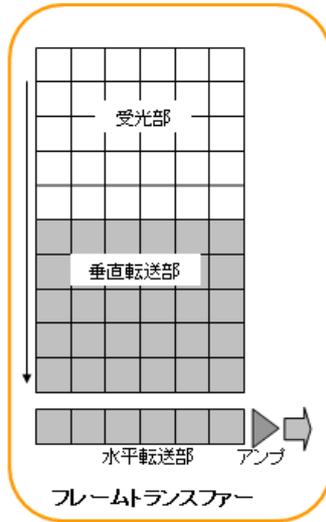


図8 フレームトランスファー CCD

- 受光部の全画素の電荷を (光が当たらないようにした) 垂直転送部に電荷転送
- 垂直転送部から水平転送部に 1 行ずつ電荷転送 → アンプへ
- 全ての行で繰り返す
- 装置が大きいと作成が難しい

7.3.2 CCD outputs

- CCD の主な領域 : parallel register
- output register : serial register
- (1)parallel register→serial register:電荷を垂直に 1 ピクセル分動かす
- (2)serial register→output amplifier: 1 ピクセル毎に電圧に変換、記録
- (1)(2) を繰り返す

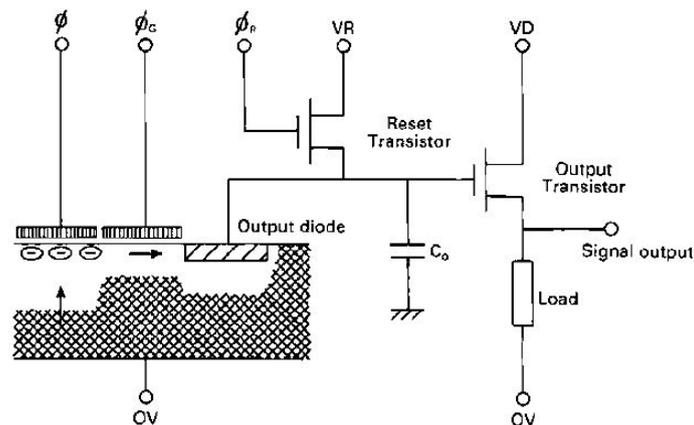


図9 CCD outputs

- 通常、output register は parallel register より大きい:飽和を防ぐ
- output ダイオードでの電圧の変化をソースフォロワートランジスタで読み取る
- 次のパルス (読み取り) までにダイオードの電荷をリセット
- リセット時のノイズが CCD 感度に影響を及ぼすことも

7.3.3 埋め込みチャネル型 CCD

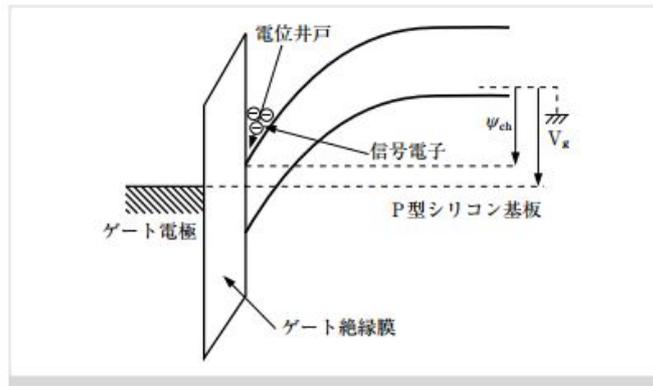


図 10 表面チャネル型 CCD

- Si-SiO₂ 表面には結晶的不規則性がある → 電荷をトラップしてしまう
- トラッピングの結果、輸送効率が落ちる

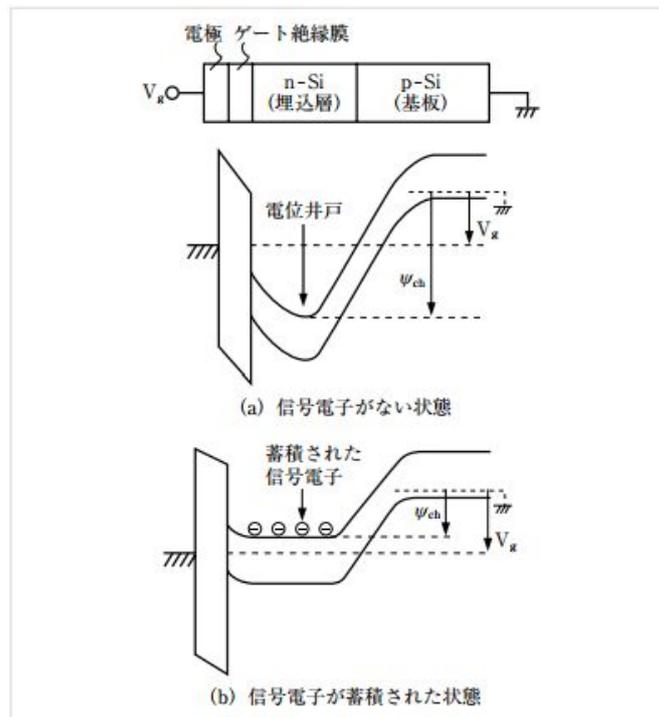


図 11 埋め込みチャネル型 CCD

*9

- n 型半導体層を間に入れることでポテンシャルが極値をとる位置がシリコンに「埋め込ま

*9 テキストの p.258 Fig7.10. とは電位の正方向が逆

れた」状態にする。

- 安定した電荷輸送が可能になる
- 電荷容量が表面チャネル型より減少する

埋め込みチャネル型 CCD の電荷容量

n 型層については $\rho = eN_D$, p 型層については $\rho = -eN_A$ 。

$$x_n = t - x_p \frac{N_A}{N_D} \quad (11)$$

- t : n 型層の深さ
- x_p : p 型層の深さ
- x_n : ポテンシャルが極値をとる位置

*10 n 型層の $x = 0$ から $x = t$ までのポテンシャル V_2 は

$$V_2 = V_{max} - \frac{eN_D}{2\epsilon} (x - x_n)^2 \quad (12)$$

ただし、 V_{max} は pn 接合ポテンシャルとアクセプター/ドナーの比率で決定されるポテンシャルの最大値。empty potential well の*11 単位面積あたりの有効電荷容量は

$$\frac{1}{C_{eff}} = \frac{d}{\epsilon_{OX}} + \frac{t - x_n}{\epsilon_{Si}} \quad (13)$$

入射光子から電荷が生じてポテンシャル最大地点に吸い寄せられそこに留まると、

$$\frac{1}{C_{eff}} = \frac{d}{\epsilon_{OX}} + \frac{t - x_n - \frac{Q}{2N_D}}{\epsilon_{Si}} \quad (14)$$

- Q : 表面電荷密度 [electrons/cm²]
- N_D の単位は [atoms/cm²] *12

要約すると…

効率の良い CCD を作るには、

- 埋め込みチャネル型 (電荷の z 方向の移動を制限/x,y には自由に動ける)
- 通常の n 型領域に、十分不純物をドーピングした細い列状の n 型物質を付与 (x 方向の移動を制限/y 方向のみ動ける)
- チャネルの端と CCD の端の間にギャップを作ることで、y 方向の端に serial register(output register) を設置する*13
- SiO₂ 絶縁体の層をつける
- 3 列状の金属電極の層をつける

*10 導出は Janesick,2001;Rieke,2003 など

*11 表面チャネル型という絶縁体部分に相当?

*12 となっているが、 Q/N_D の次元が距離にならないので、 N_D は [atoms/cm³] と思われる。(テキストの誤植)

*13 serial register では電荷は x 方向に動ける

7.3.4 2相、4相、ヴァーチャルフェーズ CCD

2相方式

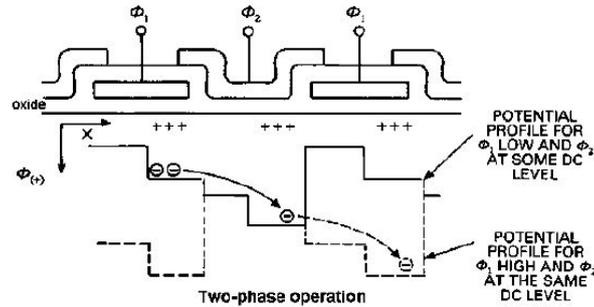


図 12 2相転送 CCD

- 2つの相に分ける (電圧 ϕ_1, ϕ_2)
- ϕ_2 を固定して ϕ_1 を上下して電荷を転送する (図参照)
- 逆方向に電荷が移動することがないため、安定した転送が可能

ヴァーチャルフェーズ方式

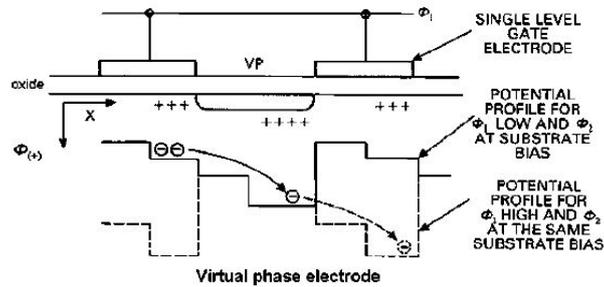


図 13 ヴァーチャルフェーズ CCD

- 2相に分けるのに電極を埋め込む必要はなく、表面のドーピング量を変えることで同様の効果を得ることができる (仮想電極)

4相方式

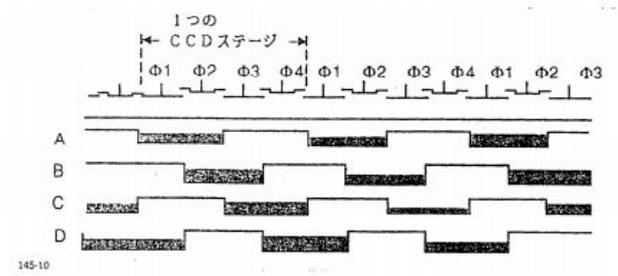


図8 4相転送動作

図14 4相転送 CCD

- 「チョッピングしている」信号を扱う、または電荷容量の増加のために用いられることがある。