

修士論文：すばる OHS 用冷却赤外分光カメラ
CISCO の開発

京都大学大学院理学研究科物理学・宇宙物理学専攻 本原 顕太郎

1997 年 2 月 3 日

要旨

最近のハッブル宇宙望遠鏡や Keck 望遠鏡の活躍により宇宙年齢の 10% 余りの時代の、赤方偏移 z が 3 を越えるような我々のような銀河系の先祖と考えられる非常に若い、普通の銀河が次々と発見されつつある。このような大きな赤方偏移を持つ遠方の銀河は、放射された可視光が近赤外域で観測されるようになりその物理的性質を知る上で重要なさまざまな輝線の観測を近赤外域で行なう必要がある。

ところが、この波長帯では地球大気上層部で発生する OH 夜光輝線によって観測の限界等級が著しく損なわれるため、通常の近赤外分光器ではこのような銀河の分光観測はほとんど不可能である。

しかし我々の研究グループで現在開発している OH 夜光輝線除去分光器 (OHS) を用いればその分光が比較的容易に行なえるようになる。OHS は、特殊な分光器によって光学的にこの OH 夜光輝線を除去する装置で、これにより、通常の近赤外分光器よりも 1 ~ 1.5 等ほど暗い天体まで分光観測が可能になる。

このとき限界等級は通常の近赤外分光器の場合と違い、検出器からの読み出しノイズとダークカレントの量でリミットされようになるため、OHS の性能を十分に引き出すためには性能の良い検出器を用いてできる限りこの読み出しノイズを低減した読み出し系を開発する必要がある。

本研究では読み出しノイズ $10e^-$ 以下を目標にこの OHS の冷却赤外分光器部 (CISCO) の検出器の駆動・読み出し回路の設計 / 製作 / 検査を行ってきた。

検出器にはダークカレントが $0.1e^-$ で読み出しノイズは $8e^-$ 以下と極めて低ノイズの Rockwell 社の 1024×1024 ピクセルのアレイ検出器である HAWAII 素子を用いる。

ただ、この素子は内蔵の出力 FET が発光してノイズ源になってしまう。そのため今回はこの FET はバイパスして、検出器取り付け基板上に外付けて FET によるソースフォロワを設置するとともに、その出力を差動にしてコモンモードノイズの除去も行なっている。一方の回路のプリント基板にはベタアースを採用して、共通インピーダンスや静電結合の影響を除去するなどさまざまなノイズ対策を行なっている。

回路自身はほぼ完成しており、読み出しノイズはチャンネルにもよるが検出器素子を載せない状態で $10 \sim 20e^-$ 程度になっている。これは比較的良い値であるものの、これに検出器のノイズを合わせると読み出しノイズは $13 \sim 22e^-$ 近くになると予想される。この値は実際に使用する上ではまだまだ不十分で、今後さらにノイズ対策を行なっていく必要がある。

本論文では開発した CISCO の検出器駆動・読み出し回路の詳細とその駆動試験結果を報告するとともに、OHS を用いた近赤外線による原始銀河の観測の可能性について考察する。

もくじ

1	近赤外線観測とすばる OHS	4
1.1	概観	4
1.2	限界等級	6
1.2.1	一般的な関係式	6
1.2.2	近赤外域での限界等級	7
1.3	OH 夜光輝線と OHS	7
1.4	すばる OHS の限界等級と低ノイズ読み出し回路の必要性	9
1.4.1	すばる OHS の概要	9
1.4.2	すばる OHS のノイズ源	9
1.4.3	すばる OHS の限界等級とノイズ	10
1.5	CISCO の概要	12
2	原始銀河の観測的研究	14
2.1	High-z フィールド銀河のサーベイ	14
2.2	High-z フィールド銀河の可視分光	16
2.3	近赤外観測	17
2.3.1	近赤外観測の意義	17
2.3.2	近赤外の観測と等級の予測とその観測可能性	18
3	CISCO の検出器駆動・読み出し系の概要	22
3.1	仕様	22
3.2	全体の構成	22
3.2.1	外観	22
3.2.2	各ボードの機能	23
3.2.3	電源	23
3.3	検出器からの信号の流れ	24
3.4	クロックの流れ	24
4	検出器駆動・読み出し系の開発	30
4.1	ファンアウトボード	30
4.1.1	概要	30
4.1.2	FET の特性	31
4.1.3	回路定数の決定	32

もくじ

1	近赤外線観測とすばる OHS	4
1.1	概観	4
1.2	限界等級	6
1.2.1	一般的な関係式	6
1.2.2	近赤外域での限界等級	7
1.3	OH 夜光輝線と OHS	7
1.4	すばる OHS の限界等級と低ノイズ読み出し回路の必要性	9
1.4.1	すばる OHS の概要	9
1.4.2	すばる OHS のノイズ源	9
1.4.3	すばる OHS の限界等級とノイズ	10
1.5	CISCO の概要	12
2	原始銀河の観測的研究	14
2.1	High-z フィールド銀河のサーベイ	14
2.2	High-z フィールド銀河の可視分光	16
2.3	近赤外観測	17
2.3.1	近赤外観測の意義	17
2.3.2	近赤外の観測と等級の予測とその観測可能性	18
3	CISCO の検出器駆動・読み出し系の概要	22
3.1	仕様	22
3.2	全体の構成	22
3.2.1	外観	22
3.2.2	各ボードの機能	23
3.2.3	電源	23
3.3	検出器からの信号の流れ	24
3.4	クロックの流れ	24
4	検出器駆動・読み出し系の開発	30
4.1	ファンアウトボード	30
4.1.1	概要	30
4.1.2	FET の特性	31
4.1.3	回路定数の決定	32

4.1.4	出カインピーダンス	34
4.1.5	線形性	35
4.1.6	ヘアFETのゲート電圧調整機構と回路定数	35
4.2	プリアンプボード	38
4.2.1	プリアンプの概観	38
4.2.2	プリアンプの設計	39
4.2.3	プリアンプの動作テスト	40
4.2.4	定電圧電源部	41
4.2.5	ノイズ対策	41
4.3	ADCボード	43
4.3.1	ADCボードの概要	43
4.3.2	仕様	44
4.3.3	ADC入力フィルタの設計	45
4.3.4	ADC入力フィルタの動作テスト	47
4.3.5	AD変換とVMIボードへの転送	50
4.3.6	ハウスキーピング情報処理部	52
4.3.7	ノイズ対策	53
4.4	クロックドライバボード	55
4.4.1	検出器クロックドライバ	55
4.4.2	ADCクロック	56
5	駆動試験	58
5.1	アナログ増幅部の性能試験	58
5.1.1	アナログ増幅部分の応答関数	58
5.1.2	FET入力電圧とADU	60
5.2	検出器なしの読み出しノイズ試験	62
5.2.1	HAWAIIアレイ検出器の読み出しノイズ	62
5.2.2	読み出しノイズ試験Ⅰ	62
5.2.3	読み出しノイズ試験Ⅱ	65
5.2.4	ノイズの周波数成分	67
5.2.5	まとめ	70
5.3	常温でのマルチプレクサ駆動試験	73
5.3.1	1回目の読み出し試験	73
5.3.2	2回目の読み出し試験	74
5.3.3	レーザースポット試験	76
6	今後の展望と課題	80
6.1	今後の計画	80
6.1.1	マルチプレクサ冷却試験	80
6.1.2	エンジニアグレード検出器の性能評価	80
6.1.3	サイエンスグレード検出器の性能評価	80

6.2	今後の開発の課題	81
6.2.1	LOAD クロックの伝達方法	81
6.2.2	プリント基板パターンの再設計	81
6.2.3	ハウスキーピング情報処理部	81
6.2.4	ノイズ対策	82
A	ノイズ	86
A.1	ノイズとは?	86
A.2	ノイズ源	86
A.3	ノイズの侵入経路	87
A.3.1	電磁結合	87
A.3.2	共通インピーダンス	91
A.4	ノイズ対策	92
A.4.1	バイパスコンデンサ	92
A.4.2	差動搬送	92
A.4.3	フォトカプラ	93
B	HAWAII アレイ検出器	94
B.1	HAWAII の構造	94
B.1.1	検出器部	94
B.1.2	マルチプレクサ部	95
B.2	駆動方法	97
B.2.1	電源	97
B.2.2	クロック	97
B.3	性能	98
C	クロックパターン	100
C.1	MESSIA-III でのクロックパターンの作成	100
C.2	CISCO に用意されているクロック	100
D	回路図	101
D.1	プリアンプボード	102
D.2	ADC ボード	105
D.3	クロックドライバボード	112
D.4	マザーボード	116
D.5	バイアスボード	118
E	プリント基板パターン	119
E.1	プリアンプボード	120
E.2	ADC ボード	121
E.3	クロックドライバボード	122

第 1 章

近赤外線観測とすばる OHS

1.1 概観

近赤外域とは一般に、I,J,H,K の 4 バンドを指す。それぞれの波長帯域は用いるフィルターシステムによって微妙に違うが、大体 I バンドは $1\mu\text{m}$ 、J が $1.25\mu\text{m}$ 、H が $1.65\mu\text{m}$ 、K が $2.2\mu\text{m}$ 帯に相当すると考えて良い。

これらの波長域は可視光のすぐ隣に位置するものの、その観測には可視光と違って様々な障害があり、本格的な観測が行なわれるようになったのは 1960 年代になってからである。その理由としては、主に以下の三つが挙げられる。

一つ目は、効率の良い赤外線を検出する素子が存在していなかったことである。1960 年代に入って赤外線の観測が一気に進んだのは、ひとえに半導体電子回路技術の急激な進歩に伴って感度の良い半導体検出器が開発されるようになったためである。現在では、単素子の検出器を敷き詰めた二次元アレイ検出器が主流である。

二つ目は大気による吸収である。大気中の水蒸気やメタンは赤外線を吸収し、俗に言われる『大気の窓』を作る。図 1.1 に大気の透過率の波長依存性を示す¹。所々に大きな吸収

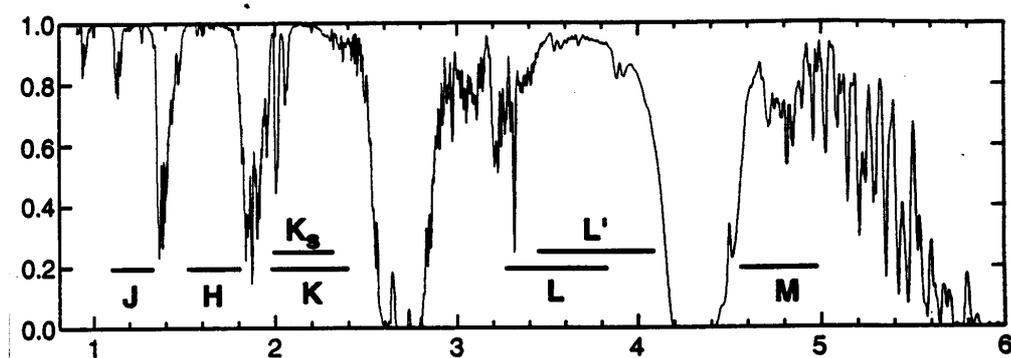


図 1.1: マウナ・ケア山頂での大気の透過率の波長依存性。高度 4200(m)、天頂角 30° のとき。縦軸が透過率、横軸が波長 (μm) である。(Tokunaga 1995) から引用

があり、吸収の少ない『窓』を形作っているのがわかる。主な吸収を起こしている分子と、

¹Tokunaga (1995) private communication

分子	波長 (μm)	分子	波長 (μm)
H_2O	0.94	CO_2	4.3
	1.12		15
	1.37	CO	4.7
	1.87	CH_4	3.3
	2.7		6.5
	3.2		7.7
	6.3	O_3	4.5
	>25		9.6

表 1.1: 近・中間赤外域での大気吸収 (Tokunaga 1995) から引用

吸収バンドの中心波長は表 1.1 のようになっている。吸収は主に大気中の水蒸気によって引き起こされているのがわかる。これらの吸収は高度が上昇するに伴い弱いものから順になくなっていき、高度 10km 程度でサブミリの領域までのほぼ連続的な『窓』が得られる。つまり赤外観測に適した場所、というのは i) できる限り高度が高い ii) できる限り乾燥しているということになる。実際に最近の主な大口径の望遠鏡は、この条件を満たしているハワイのマウナ・ケア山頂やチリの高原に設置されている。

三つ目は、背景放射が可視に比べて非常に大きいことである。背景放射には 2 種類あって、一つには大気や望遠鏡からの熱放射、もう一つは大気上層部からの夜光輝線である。赤外線観測をもっとも困難にしているのはこの背景放射であり、地球大気のそこから観測している限りこの呪縛からは逃れられない。

赤外域での大気からの放射を図 1.2 に示す。 $2\mu\text{m}$ よりも短波長側は輝線が数多く立って

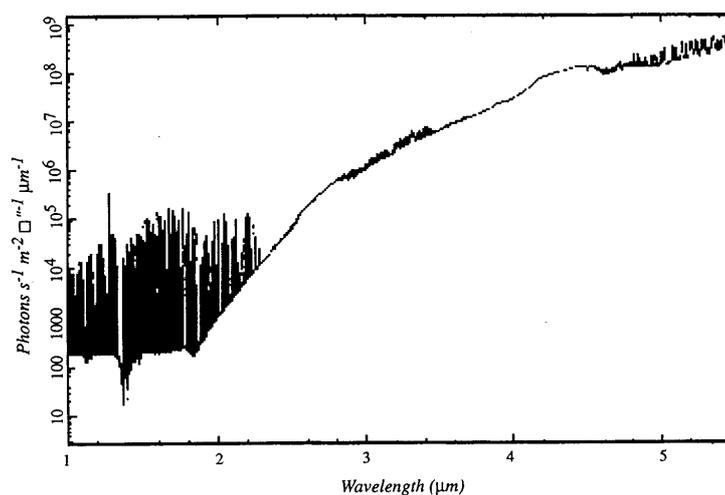


図 1.2: 赤外域での背景放射。 $2\mu\text{m}$ 付近を境に、熱放射が効く領域と夜光輝線が効く領域に分かれるのがわかる。 McCaughrean(1988) から引用

おり、長波長側は滑らかな連続光になっているのが分かる。これは、背景放射のソースが

2種類あることを示している。

一つは大気や望遠鏡からの thermal な放射である。これは大気や望遠鏡などの常温部分が発する 270(K) 程度の灰色体放射によって生じる。この温度ではそのピークは $10\mu\text{m}$ あたりに来、近赤外域では K バンドの長波長側で効きはじめる。もう一つは non-thermal な夜光輝線 (airglow) である。これは大気上層部の主に OH ラディカルが太陽風に含まれる高エネルギー電子で励起されて輝くもので、I,J,H バンドと K の短波長側に他数の輝線を生じる。

1.2 限界等級

1.2.1 一般的な関係式

観測時のノイズは検出器に貯められた電荷によるショットノイズと読み出し時の読み出しノイズで決まり、限界等級は以下の式で与えられる。

$$S/N = \frac{s_{obj}t}{\sqrt{(s_{obj} + s_{bg} + i_{dark})t + fn_{readout}^2}} \quad (1.1)$$

s_{obj}	object によって生じる electron(e^-/sec)
s_{bg}	背景放射によって生じる electron(e^-/sec)
i_{dark}	検出器の dark current(e^-/sec)
$n_{readout}$	検出器の読み出しノイズ (e^-)
f	足し合わせたフレーム数

観測対象が点源であれば

$$s_{obj} = \frac{F_{\lambda,obj} \Delta\lambda S_{tel} \tau \eta}{h\nu} \quad (1.2)$$

$$s_{bg} = \frac{I_{\lambda,sky} \Delta\lambda \Delta\Omega S_{tel} \tau \eta}{h\nu} \quad (1.3)$$

$F_{\lambda,obj}$	object からの flux($W/m^2/\mu\text{m}$)
$I_{\lambda,bg}$	背景放射の intensity($W/m^2/\mu\text{m}/arcsec^2$)
$\Delta\lambda$	波長幅 (μm)
$\Delta\Omega$	1 ピクセルが見る立体角 ($arcsec^2$)
S_{tel}	望遠鏡の主鏡面積 (m^2)
τ	光学系の through put
η	検出器の量子効率

観測対象が検出器の 1 ピクセルよりも広がっている場合、

$$s_{obj} = \frac{I_{\lambda,obj} \Delta\lambda \Delta\Omega S_{tel} \tau \eta}{h\nu} \quad (1.4)$$

$I_{\lambda,obj}$ object の表面輝度 ($W/m^2/\mu\text{m}$)

となる。

1.2.2 近赤外域での限界等級

一般に赤外域での撮像や中・低分散分光では、その背景放射が強いため s_{bg} でノイズの量が決まってくる。このときノイズの量はほぼ背景放射による電子の数の平方根になるため、検出限界のフラックスは \sqrt{t} 、 $\sqrt{\tau}$ 、 $\sqrt{\eta}$ に比例して減少するようになる。このように検出限界が背景放射の量によって決まってしまう状態のことを background limit または BLIP (Background Limited Performance) と呼ぶ。

1.3 OH 夜光輝線と OHS

I, J, H バンドで主なノイズ源になっている夜光輝線は主に OH の衝突励起による振動遷移によって生じており、実際の観測で J で 50 本、H で 70 本、K で 30 本程度が観測されている [12][18]。J, H バンドでの大気背景放射に占めるこれらの輝線の割合は 98% 程度であることが分かっており [12]、これらの輝線のみを完全に除去することが可能ならば非常に低いバックグラウンドでの観測を行なうことができることを意味している。

非常に高波長分解能の分光観測を行なう場合には、これらの輝線の中の波長域で低バックグラウンドでの観測を行なうことができるが、中・低分散分光や撮像では (ある意味で) 輝線まみれになった光を観測せざるを得ない。この輝線のみを特殊な分光器によって除去し、非常に低いバックグラウンドでの観測を可能にしたのが OHS (OH-airglow Suppressor) である。この装置のプロトタイプは 1992 に完成し、現在ハワイ大学の UH2.2m 望遠鏡で駆動している [8]。

プロトタイプ OHS の光学レイアウトを図 1.3 に示す。OHS のスリットを通った入射光は高分散 (波長分解能 5500) で分光され、マスクミラー (図 1.3 で MM) 上に結像する。マ

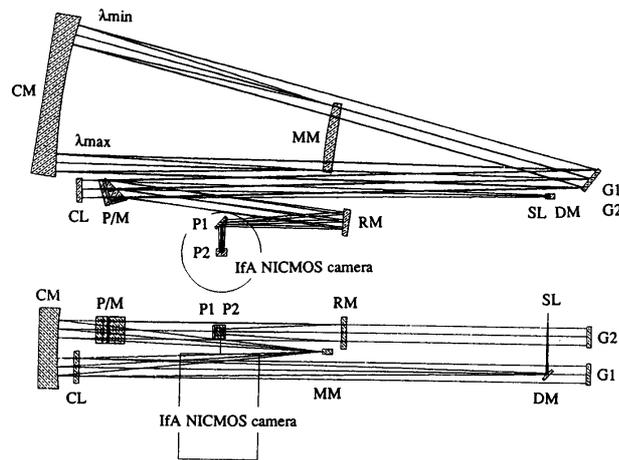


Fig. 1. Optical layout of the prototype OHS for the UH 2.2 m telescope. The incident rays hit the optics in the following order: SL: Slit (5 slit modes: slitless, $1''.5 \times 60''$, $0''.9 \times 60''$, pin hole, close). 1) DM: Dichroic mirror (An optical CCD camera is mounted just behind this mirror). 2) CL: Collimator mirror ($R = 4000$ mm, concave parabola). 3) G1: Grating 1 ($230 \ell \text{ mm}^{-1}$, $\theta_B = 35^\circ$, $\lambda_B = 4.98 \mu\text{m}$). 4) CM: Camera mirror ($R = 2000$ mm, concave sphere). 5) MM: Mask mirror ($R = 1000$ mm, convex sphere). The spectral mask is attached to this mirror). 6) CM: Camera mirror (same as 4—CM). 7) G2: Grating 2 (same as 3—G1). 8) P/M: Double-pass prism (apex $\theta = 30^\circ$, BK 7) or plane mirror (exchangeable). 9) RM: Refocus mirror ($R = 1300$ mm, concave parabola). 10) P1: Plane mirror. 11) P2: Plane mirror. 12) IfA NICMOS camera (256×256 HgCdTe detector).

図 1.3: OHS の光学レイアウト Iwamuro et al (1994) から引用

スクミラーにはOH夜光に対応する波長部分を隠した夜光マスクが置かれており、これにより輝線が選択的に除去される。その後、逆の過程を経て白色光に戻される。

この方法により、プロトタイプでは背景放射の量を最大で1/20に押し込むことに成功した(図1.4)。理論的には輝線を完全に除去すれば1/40になるはずであるが、そうっていないのは弱い輝線を除去しきれていないためである。一方OHS自身の効率は34%で、この値からゲインを概算するとSignalが0.34倍になる一方、バックグラウンドは0.34/20になり式(1.1)でBLIPを仮定すると、ゲインは $\frac{0.34}{\sqrt{0.34/20}} \sim 2.6$ となり通常の分光器に比べて同じ観測時間で約1等暗い天体が観測できるようになる。

ただその原理上、ロングスリット分光をしているため夜光が除去される領域はスリット幅の細長い領域に限られる(OHSでは1")上、高分散をかけなければならないので装置自体が非常に巨大になってしまうのが欠点である。

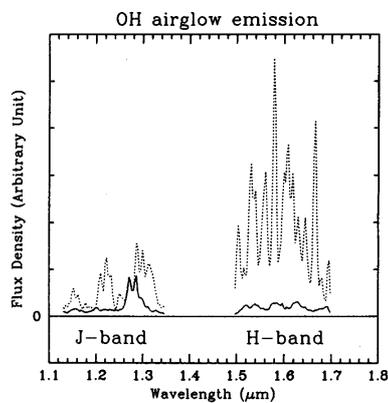


Fig. 7. Suppressed (solid) and unsuppressed (dotted) sky emission spectra (resolving power~100) in the OHS slit mode. The remaining emission features are mostly due to O₂ band emissions (e.g., 1.27, 1.28 μm) and other unidentified weak lines.

図 1.4: OH 夜光の除去される様子。Iwamuro et al (1994) から引用

1.4 すばる OHS の限界等級と低ノイズ読み出し回路の必要性

1.4.1 すばる OHS の概要

我々の研究グループでは現在、すばる望遠鏡用の OHS を開発している。この装置はすばる望遠鏡の 8m という大口径を生かしつつ、プロトタイプよりもさらに高い 1/40 という夜光輝線の除去率を目指しており、完成すれば世界で他に類を見ない深い限界等級を持つ分光器となる。その仕様を表 1.2 に示す。

1.4.2 すばる OHS のノイズ源

OHS によって背景放射の光子の量が 1/40 にまで抑えられるとそのノイズ源は BLIP ではなく、検出限界は検出器のノイズや大気の大気熱放射によって決まるようになる。実際に、すばる +OHS の組合せで式 (1.1) のノイズの各項の値がどのくらいになるのかを表 1.3 に示した。ここで OHS の夜光除去率 1/40、波長分解能 450、 $1'' \times 1''$ の領域を binning すると仮定して。また、大気からの熱背景放射については背景の温度 270(K)、放射率 0.1 として各バンドでの長波長端での値を示した。さらに、大気からの放射と J,H バンドの波長帯は表 1.4 の値を用いている [19]。

まず分かるのは、OHS を用いることにより、検出器の暗電流からノイズへの寄与が無視できないレベルになる、ということである。特に、J バンドにおいては背景放射を同じレベルにまでなっている。

また、読み出しノイズは更に劇的に効いてくる。これは、例えば 1 フレーム 500(sec) の

設置場所		すばる望遠鏡赤外ナスマイス台
全重量		2500 kg
大きさ	全長	5.2 m
	全幅	2.8m
	全高	2.8m
動作環境	気圧	0.6 atm
	温度	-5 ~ 5°C
	湿度	0 ~ 80 %
光学性能	入射 F 比	13.6
	出射 F 比	13.6
	スリット	1'' × 20'', 0.5'' × 20'', 20'' × 1'', ピンホール, 全開, 全閉, ミラー
	波長域	1.485 ~ 1.815 μm(3 次), 1.114 ~ 1.361 μm(4 次), 0.891 ~ 1.089 μm(5 次)
	波長分解能	分光結像面位置で 5500
	空間分解能	再結像位置で 0.12''
	視野	スリット全開で 20'' × 20''
	光透過率	0.43
	夜光除去率	1/40

表 1.2: すばる OHS の設計仕様

ノイズ源	J		H	
	OHS あり	OHS なし	OHS あり	OHS なし
s_{bg} :OH airglow	5.35	214	28.6	1140
:thermal	1.13×10^{-2}		9.90	
i_{dark}	6.94 ($0.1e^-/pix$)			
$n_{readout}^2$	6940 ($10e^-/pix/readout$)			

表 1.3: 分光モードですばる +OHS を用い、検出器の 69 ピクセルまとめた時に溜るノイズ源。各種パラメータは本文中を参照のこと。ただし、 s_{bg} の thermal 成分はそれぞれの波長帯の長波長端での値。

Band	$\lambda(\mu m)$	$\Delta\lambda$	mag arcsec $^{-2}$
J	1.26	0.31	15.9
H	1.62	0.28	13.4

表 1.4: IRTF 3.0m での J,H バンドでの背景放射の強度の実測値。Shure et al. (1994) からの引用

積分を行なうことを考えてみると分かりやすい。このとき、OHS を用いると背景放射 + 暗電流は $s_{bg} + i_{dark} = 6150(J), 17700(H)e^-$ となり、読み出しノイズと同じレベルになっている。読み出しノイズ $10e^-/pix$ というのは今回の開発目標値であり、実際にはこの 2 倍程度悪くなる可能性もあり得る。そうなると、 $n_{readout}^2$ は更に 4 倍になり、J,H バンドいずれにおいても、読み出しノイズ性能で限界等級が制限されるようになってしまう。いずれにせよ、OHS には低い読み出しノイズの検出器 + 読み出し回路系が欠かせないことがはっきりとわかるだろう。

1.4.3 すばる OHS の限界等級とノイズ

それでは、具体的な限界等級はどれくらいになるのだろうか。J,H バンドでいくつかの場合を仮定し、 $S/N=5$ 、1 フレームの積分時間は 500 秒とした時の分光モードでの限界等級を以下に示す。計算の条件は、波長分解能 450、夜光除去率 1/40、検出器の量子効率を含めた光学系すべてのスループット 0.17、ピクセルスケール $0.12'' \times 0.12''$ 、望遠鏡の口径 7.8(m) である。また、 $1'' \times 1''$ 分のピクセルを binning するとしている。

まず OHS を用いない場合、検出限界は読み出しノイズや暗電流の影響をさほど受けないということが顕著に現れている。とくに H バンドでは暗電流の量が 10 倍になったり読み出しノイズが $36e^-$ になっても検出限界は 0.1 等も変化しないのがわかるだろう。

OHS を用いる場合は全く逆である。特に J バンドはその影響を顕著に受け、暗電流が $0.1e^-$ から $1e^-$ に増加したり読み出しノイズが $40e^-$ になっただけで OHS で得たゲインをほとんど吐き出してしまっているのがわかるだろう。

暗電流の量は検出器自身が持つ特性であって我々がどうすることもできない以上、OHS の性能を十分に発揮させるためには低い読み出しノイズの読み出し系を開発することが絶

対に必要なのである。

今回の回路ではこの読み出しノイズを $10e^-$ 以下に抑え、OHS の最高の性能を達成することを目標に開発を行なってゆく。

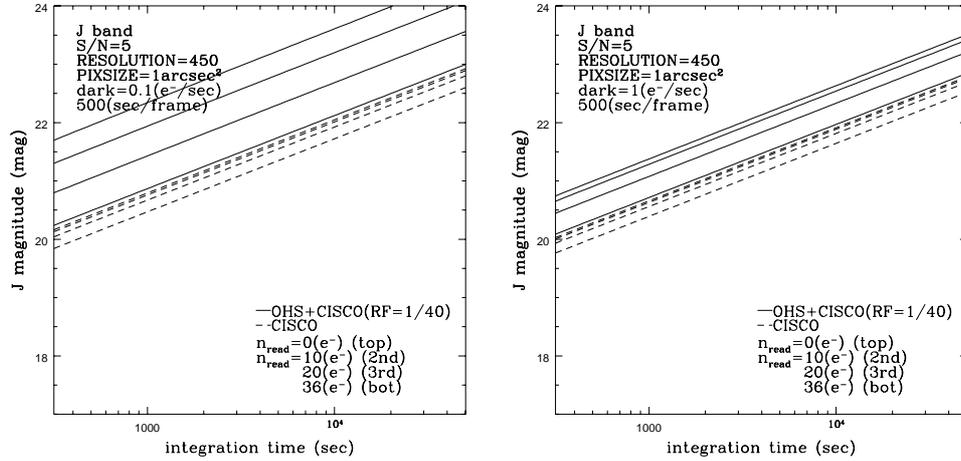


図 1.5: J バンドでの限界等級。左が $i_{dark} = 0.1(e^-1/sec)$ 、右が $i_{dark} = 1(e^-1/sec)$ のとき。実線が OHS+CISCO、点線が CISCO のみ。それぞれ上から順に 1 ピクセルあたりの読み出しノイズが 0,10,20,36 e^- の時である。

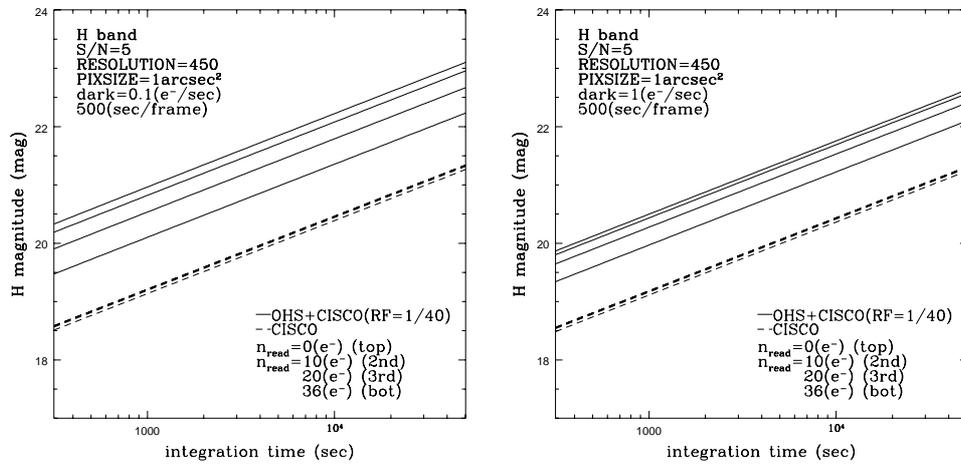


図 1.6: H バンドでの限界等級。あとは J バンドの時と同じ。

1.5 CISCO の概要

CISCO(Cooled Infrared Spectrograph and Camera for OHS) はその名の通り、OHS 本体で夜光が除去された白色光の撮像・分光を行なうための冷却赤外分光カメラである。

波長帯は OHS で夜光除去される I, J, H バンドだけでなく K バンドも観測でき、すばる望遠鏡のカセグレン焦点かナスミス焦点に取り付けて単独での使用も可能となっている。

その内部構造を図 1.7 に示す。

CISCO の撮像、分光モードの切替えは、互いに向き合う二組のスリット羽根の間隔を変化させることにより行なわれる。これにより、最大で $2' \times 2'$ (60mm×60mm)、最小でピンホール (0.2×0.2 mm) の視野が得られる。ここを経た光は前置光学系を通過してフィルタに入る。

CISCO は二つのフィルタホイールを装備しており、前のホイールには広帯域フィルタと低分散グリズム、後ろのホイールには狭帯域フィルタと高分散グリズムが取り付けられる。これにより例えば高分散グリズム + 低分散グリズムのような組み合わせにすることにより、2 次元に分散をかけての観測も可能になる。

フィルタを出た光は再結像光学系により検出器面上に結像する。

CISCO の冷却は機械式の冷凍器によって行なう。これによりクラオスタット内部を 100K 程度、検出器を 80K に冷却する。また、フィルターホイールやスリットなどの駆動は冷却モーターを用いることにより構造の簡略化を計っている。

今回はこの CISCO の検出器の駆動・読み出し回路を開発した。

設置場所	OHS 再結像焦点、すばる望遠鏡赤外ナスミス焦点、カセグレン焦点	
全重量	300 kg	
大きさ	全長	1.5 m
	全幅	0.9m
	全高	0.9m
動作環境	OHS に同じ	
光学性能	入射 F 比	13.6/12.2
	最終 F 比	4.1/4.5
	スリット	可変
	波長分解能	スリット幅 $1''$ 、波長 1.6μ , で 450
	空間分解能	$0.12''$
	視野	スリット全開で $2' \times 2'$
光透過率	検出器の量子効率を含めて $1.6\mu\text{m}$ で 0.4 程度	

表 1.5: CISCO の設計仕様

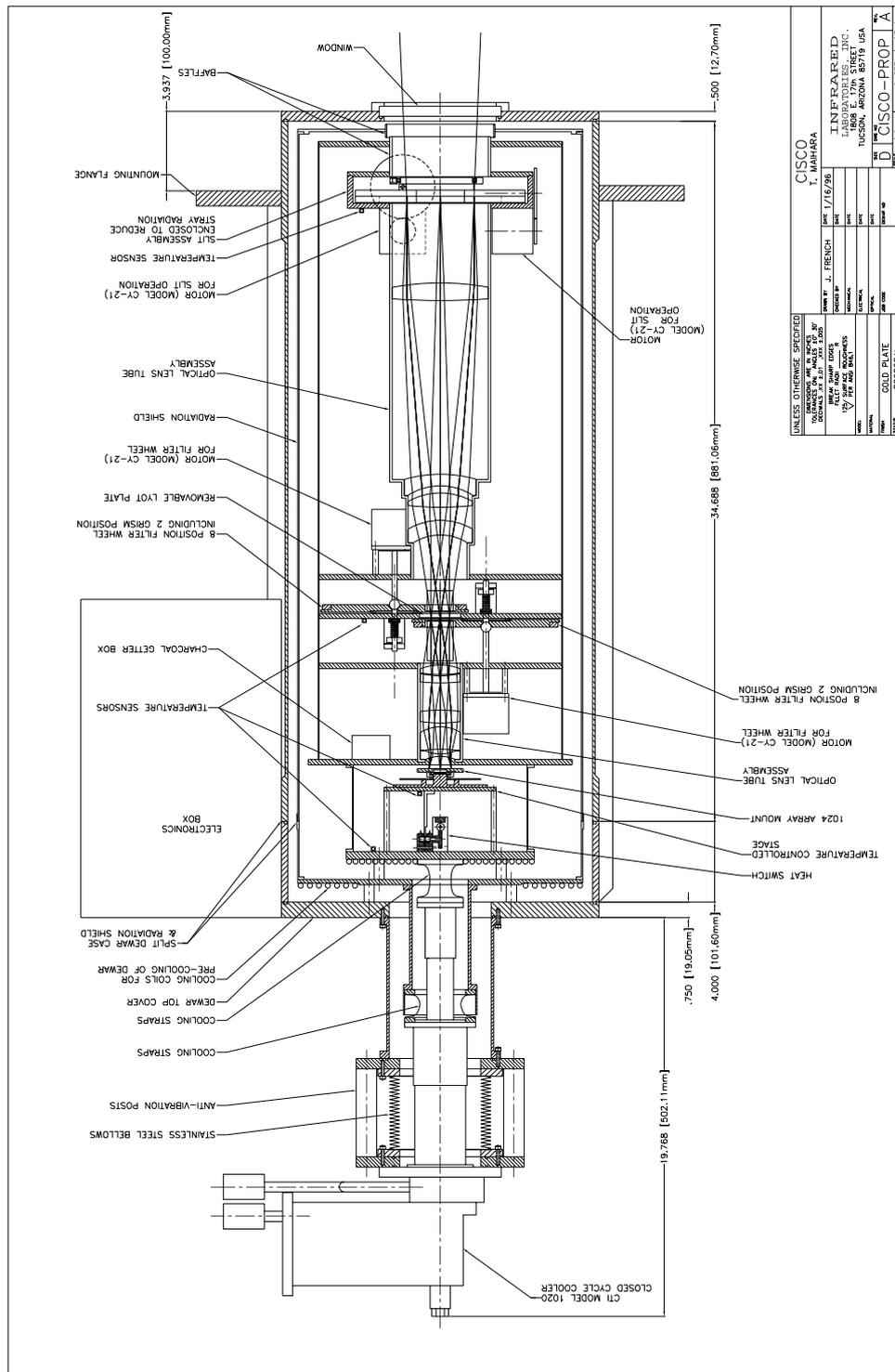


図 1.7: CISCO のクライオスタットとその内部。

第 2 章

原始銀河の観測的研究

我々の銀河系のように、その中心に活動銀河核を持たないいわゆる『普通の』フィールド銀河はどのように生まれ、そして進化してきたのだろうか？現在の天文学はこの問いに答えるまではまだ至ってはいないものの、近年の研究によりその諸端が徐々にではあるが明らかになりつつある。

銀河が進化しているらしいという証拠が最初に見つかったのは 1980 年代の Butcher と Oemler による研究が初めてである [2]。Butcher と Oemler は z が 0.003 から 0.54 までの 33 の銀河団を調べ、それぞれの銀河団で静止波長での B-V のカラーが E/S0 よりも 0.20mag 以上青いものの割合を求めたところ、赤方偏移 z が大きくなるほど銀河団中に占める青い銀河の割合が増加することを発見した。これは Butcher-Oemler effect として知られており、 z が 1 程度までこの現象が見られることがわかっている [17]。

その後、4m 級の望遠鏡が続々と駆動しはじめ、さらに可視光では大フォーマット CCD、赤外域でも大フォーマットアレイ検出器の急激な進歩によってより暗い天体の観測が可能となり、新たな発見が相次いだ。さらには最近のハッブル宇宙望遠鏡や Keck 望遠鏡の活躍により、それ以前はその存在すらわからなかったような赤方偏移が 3 を越えるような宇宙年齢の 10% 程度の時代の原始銀河と思われる銀河が次々と同定されつつある [21][22]。

これは、これまでの数密度や銀河進化のモデルを用いたマクロな議論に加えて、個々のフィールド銀河の物理的性質を明らかにしていくことが可能な時代に突入したことを意味している。

ここではまず、このような個々の銀河がどのように探索され、何がわかってきているかを概観したのちに、近赤外観測の可能性について考える。

2.1 High- z フィールド銀河のサーベイ

活動性を持たない遠方のフィールド銀河をサーベイするにはいくつかの方法が考えられる。

一つには、銀河に見られる輝線に合わせた狭帯域フィルタをもちいて、その狭帯域フィルタに入ってくるような輝線を持つ天体を搜索する方法がある。もっとも一般的にターゲットになる輝線は $\text{Ly}\alpha$ でこれを狙ったサーベイは数多く行なわれているが、現在までに確実にフィールド銀河であると断定できるようなものは発見されていない。また近赤外域で $\text{H}\alpha$ や $[\text{O II}]\lambda 3727$ を狙った観測もあるが [16]、やはりそれらしい天体は検出されなかった。

このような狭帯域フィルタによる観測ではカバーする z の範囲が狭く、サーベイの効率が悪いこと、 $\text{Ly } \alpha$ 輝線はもろに吸収を受けるということが原因であると考えられる。

これに対して、最近続々と成果をあげているのが天体のカラーを用いるというものである。即ち二つの中広帯域のフィルタで撮像を行なって、Lyman break がこの二つの帯域の間にあればこのカラーが極めて赤くなるであろう、という考え方である。しかしながらこの方法ではたまたまそのバンドに輝線が混入してしまう可能性もあるし、近傍の古い銀河の 4000 \AA break を示すような古くて赤い銀河が混入してくる。そこで、これにさらにもう1バンドの観測を加えて3つ以上のバンドのカラーで同様の議論をすればその信頼度はかなり向上すると考えられる。このように SED の形によって推定された赤方偏移を普通、photometric redshift と呼ぶ。

この方法は現在、高赤方偏移銀河をサーベイするもっとも有力な手段であると考えられている。特に、Steidel らは特注のフィルターセット (U_n, G, \mathcal{R}) を用いて、 $U_n - G$ と $G - \mathcal{R}$

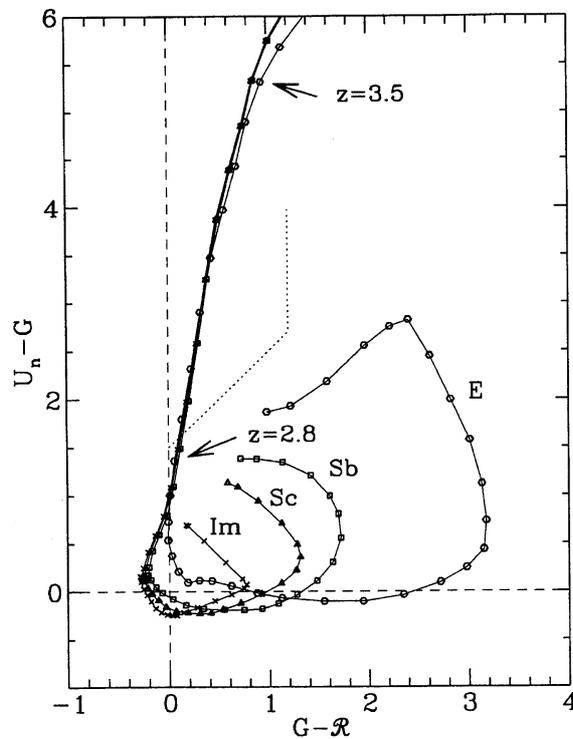


図 2.1: 各種銀河の赤方偏移と color-color の関係。どのようなタイプの銀河も z が 3 を越えるあたりから図の破線で囲んだ領域に位置するようになるのがわかる。Steidel et al (1995)

\mathcal{R} の color-color ダイアグラムから $z = 3 - 3.5$ の銀河の候補を選出した。彼らは 1) Lyman break により $U_n - G$ が極めて赤くなる、2) break よりも長波長側ではスペクトルは平坦であるため、 $G - \mathcal{R}$ が青い、という仮定を立てて $z > 3$ の銀河は図 2.1 の破線で囲んだ領域に位置するであろうという考えた。この方法により、彼らは数十個の z が 3 をこえる銀河の候補を得た。

他にも、Lanzetta らがハッブル宇宙望遠鏡 (HST) の Hubble Deep Field のデータにこ

の方法を適用して Steidel らと同じような方法で $z > 6$ の銀河の候補を選出している [11]。

2.2 High- z フィールド銀河の可視分光

撮像測光観測だけでは正確な赤方偏移はわからないし、星生成率や金属量など個々の銀河の詳しい物理的性質を知ることはできない。そのため、最終的に分光観測を行なう必要がある。

実際に、Steidel らは先程の z が 3 をこえる銀河の候補を Keck 望遠鏡で分光し、その正確な赤方偏移を求めた [22]。観測された 25 の候補天体のうち、16 個が $z \geq 3$ の銀河であることが判明した。

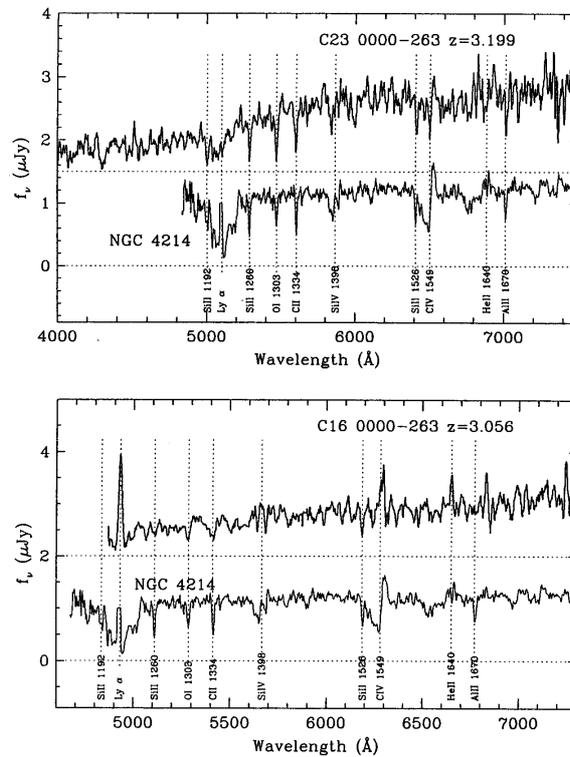


図 2.2: Steidel らが発見した $z > 3$ の銀河のスペクトル。それぞれ下は、比較のための近傍のスターバースト銀河 NGC4214 のスペクトル。Steidel et al (1996)

そのスペクトルの一部を図 2.2 に示す。Ly α 輝線が弱いあるいは検出されず、さまざまな吸収線が見えているのがわかる。また、スペクトルの形状は近傍のスターバースト銀河に良く似ており、 $z > 3$ の銀河でも少なくとも紫外域では近傍銀河と大きくは違わないと考えられる。

さらに紫外域 1500 \AA 帯での continuum から星生成率を求めたところ、 $4 \sim 25 h_{50}^{-2} M_{\odot} \text{yr}^{-1} (q_0 = 0.5)$ という値を得ている。この値はダストが存在しないと仮定した銀河進化のモデルで求めたものだが、実際には $z > 4$ のクエーサー近傍で大量の分子やダストが検出されており [14], [15]、現在の銀河形成理論からも 1(Gyr) 程度で宇宙の金属汚染がかなり進んでいて不自然ではないことなど考えるとダストがかなりの量存在していても不思議ではない。そ

のためこの値はかなりの underestimate である可能性が強い。

より正確に星生成率を知るためには、その直接的な指標である $H\alpha$ $\lambda 6663$ や $[O II]\lambda 3727$ の輝線を観測する必要がある。

2.3 近赤外観測

2.3.1 近赤外観測の意義

先の章で述べたように現在、 $z > 3$ のフィールド銀河の可視域での観測が集中的に行なわれており、今後も続々とその成果が出てくると思われる。しかしながら、これらの観測はあくまでも静止波長で紫外域を見ているだけで、静止波長で可視域がどのようなスペクトルを持っているのかは今のところ明らかではない。

しかしながら、その性質を明らかにしていく上で静止波長で可視、即ち観測波長で近赤外域の情報が是非とも必要である。

その理由の一つに、その morphological type が分かるということである。現在、ハッブル望遠鏡の可視域での撮像により遠方の銀河の撮像が次々に行なわれている。しかしながら、これは銀河の大質量星の分布を見ていることになり、中低質量の星の分布を見ているわけではない。たとえば、Cowie らは $z \sim 1$ 付近でこれまでの銀河の分類に当てはまらないような、明るく輝いているノットが鎖状につながった 'Chain galaxy' とも言うべきものが数多くあるのを発見した [4]。彼らは、これを爆発的星生成を起こしている領域が見つかったものではないかと結論づけている。しかしながらこのような星形成がどのような morphological type の銀河のどの領域で起こっているかを知るためには、高空間分解能の近赤外撮像を行なう必要がある。

二つ目は、中低質量星からの光を見ることができるということである。観測での可視光は銀河の紫外放射に相当するため、見えているのは O, B 型の高温・大質量星である。これらの星々は 10,000 度を越えるような高温なため多量の紫外線を放射し、周りの星間ガス雲を励起して様々な輝線を発するもののその寿命は短く、銀河内の星の質量に占める割合もほんの少しである。銀河の大部分を担うのはその黒体放射のピークを可視域に持つ太陽程度の質量の星々であり、その詳しい性質を調べるためには可視域（観測波長は近赤外域）のスペクトルを見る必要がある。

最後にその物理的性質を知る上で重要な様々な輝線がすべて近赤外域に入ってくる、ということである。OB 型星や（存在すればの話ではあるが）活動銀河核から放射される大量の高エネルギー光子は、周辺の星間ガスで吸収・再放射を繰り返して可視域で様々な輝線の放射をつくり出す。図 2.3 に静止波長が可視 / 紫外域にある各輝線が赤方偏移とともにどの波長域で観測されるようになるかを示す。これを見てわかるように赤方偏移が 1 を越えるあたりから可視域での輝線がすべて近赤外域に入ってくるため、近赤外域での観測が何としても欠かせない。

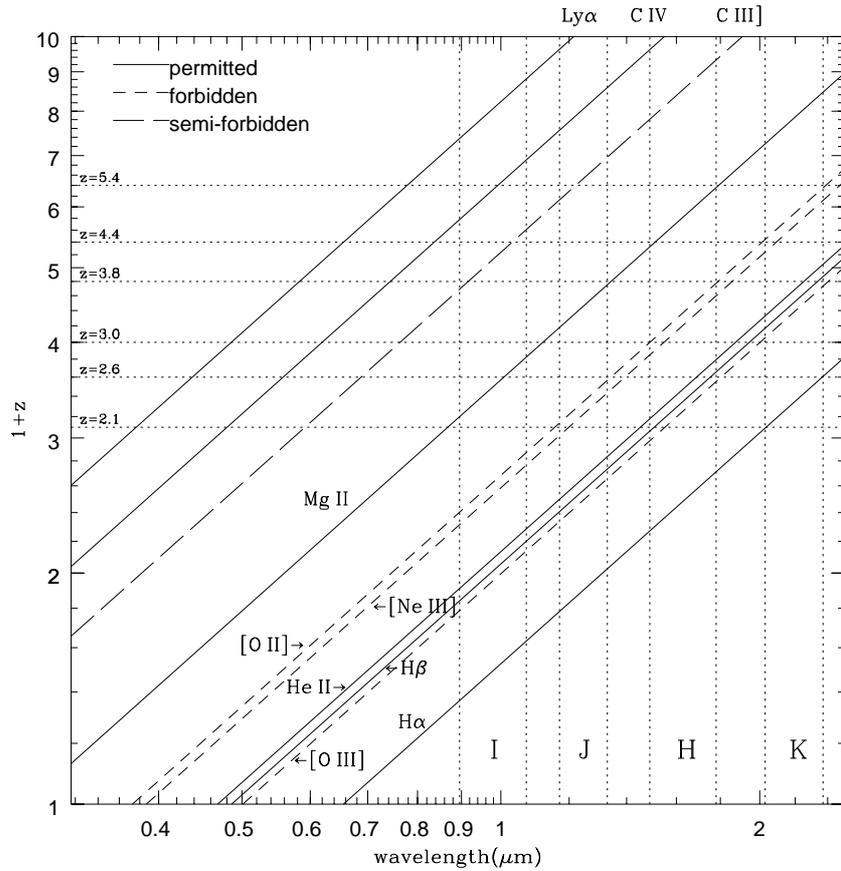


図 2.3: 可視 / 紫外域にある輝線と赤方偏移の関係。銀河の物理的性質を知る上で重要な輝線が観測できる大体の赤方偏移を記入してある。 $z = 2.1 - 2.6$ には $H\alpha$, $[O III]$, $[O II]$, $Mg II$ が、 $z = 3.0 - 3.86$ には $[O III]$, $[O II]$, $Mg II$ が、 $z = 4.4 - 5.4$ には $[O II]$, $Mg II$, $C IV$ が入ってくるのがわかる。

2.3.2 近赤外の観測と等級の予測とその観測可能性

これまでのところ、 $z=3$ 程度のフィールド銀河の近赤外分光観測が行なわれていないのはその観測の困難さであることを先に述べた。

それでは、実際にはどのくらいの等級なのであろうか？いくつかの観測例からその暗さを概観してみる。実際に K バンド以外での撮像測光の結果が現時点ではほとんどないので、I, J, H バンドの等級をモデルなどから簡単に予測する。

Steidel(1996)

Steidel(1996)[22] らは、 $z > 3$ の銀河について、K バンドでの撮像も併せておこない、いくつかについてその等級を得ている。これを元に、J, H バンドでの等級を内挿した。結果を表 2.1 に示す。このような天体は明るいものでも J バンドで 22 等後半、H バンドで 22 等近くで、先の限界等級の図 1.5, 1.6 を見ると通常の分光器ではこのような天体の分光に

は2万秒以上の積分時間が必要になり、その観測はほとんど不可能である。しかしながら OHS が所定の性能を出すことができればこのような銀河の分光が数千秒の単位で行なえ、1天体/バンド/晩のペースで観測していくことが可能になる。

Object	\mathcal{R}^1	$\mathcal{R} - K^1$	Redshift ¹	J	H
0347-383 N5	23.82	2.5	3.243	22.7	22.1
0000-263 C09	24.44	3.9	3.428	22.6	21.5
0000-263 C11	25.30	3.2	3.135	23.9	23.0

表 2.1: $z > 3$ の銀河の I, J 等級の予想。¹ は Steidel et al(1996) から引用

Yahil(1996)

Yahil ら (1996) は、HDF に写っている 1000 余りの銀河のカタログを公開している²。これにはハッブル望遠鏡の 4 バンド F300W($\lambda 3000\text{\AA}$)、F450W($\lambda 4500\text{\AA}$)、F606W($\lambda 6060\text{\AA}$)、F814W($\lambda 8140\text{\AA}$) の flux と、銀河の morphological type、photometric redshift の情報が含まれている。これを用いて J, H, K バンドでの等級を推定する。今回は単純に、photometric redshift に持ってきた近傍の銀河のモデルスペクトル [3], [23] (図 2.4 に示す) で F814W の flux で外挿し、J, H, K バンドでの等級を得た。

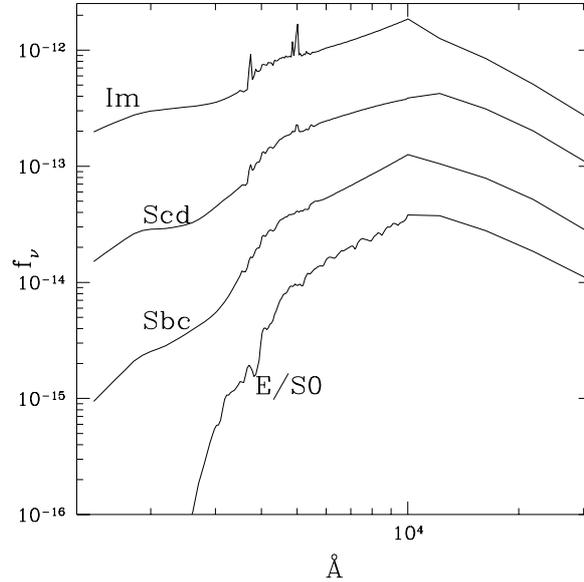


図 2.4: 可視から近赤外域にかけての各タイプの銀河のスペクトル。

外挿は2種類行なった。一つは、カタログに記載されていた morphological type のスペクトルで行なうもの。もう一つは、high- z 銀河はすべて活発な星生成を行なっているであろうと考えて、すべて irregular のスペクトルで行なうものである。結果を図 2.5 に示す。

²<ftp://ftp/ess/sunysb.edu/pub/hdf>

Morphological type 別で外挿したものは、 z が大きくなると H,K バンドで明るい E/SO が急激に増加するのがわかる。しかしながら、このように明るい銀河が観測されていないことを考えると、これはおかしい。そもそも、宇宙初期に古い星ばかりで形成されている、赤い E/SO 銀河が存在すること自体が不自然である。そのため、すべて Irr で外挿したもので考える。

そうすると、 $z > 3$ でも飛び出したように明るいものがいくつか見られるが、これはおそらく photometric redshift が正しくないものであると考えて無視すると、 $z \sim 3$ あたりの一番明るい銀河でも $J \sim 23(\text{mag})$ 、 $H \sim 22(\text{mag})$ 、 $K \sim 21(\text{mag})$ 程度となる。これは先の Steidel(1996)らの結果と合致する。

すなわちこれらの銀河は、8m クラスの望遠鏡を用いたところで近赤外撮像でようやく受かる程度で、近赤外分光は極めて困難であると結論づけて良いだろう。現時点ではすばる OHS 以外の装置での分光観測は不可能である。

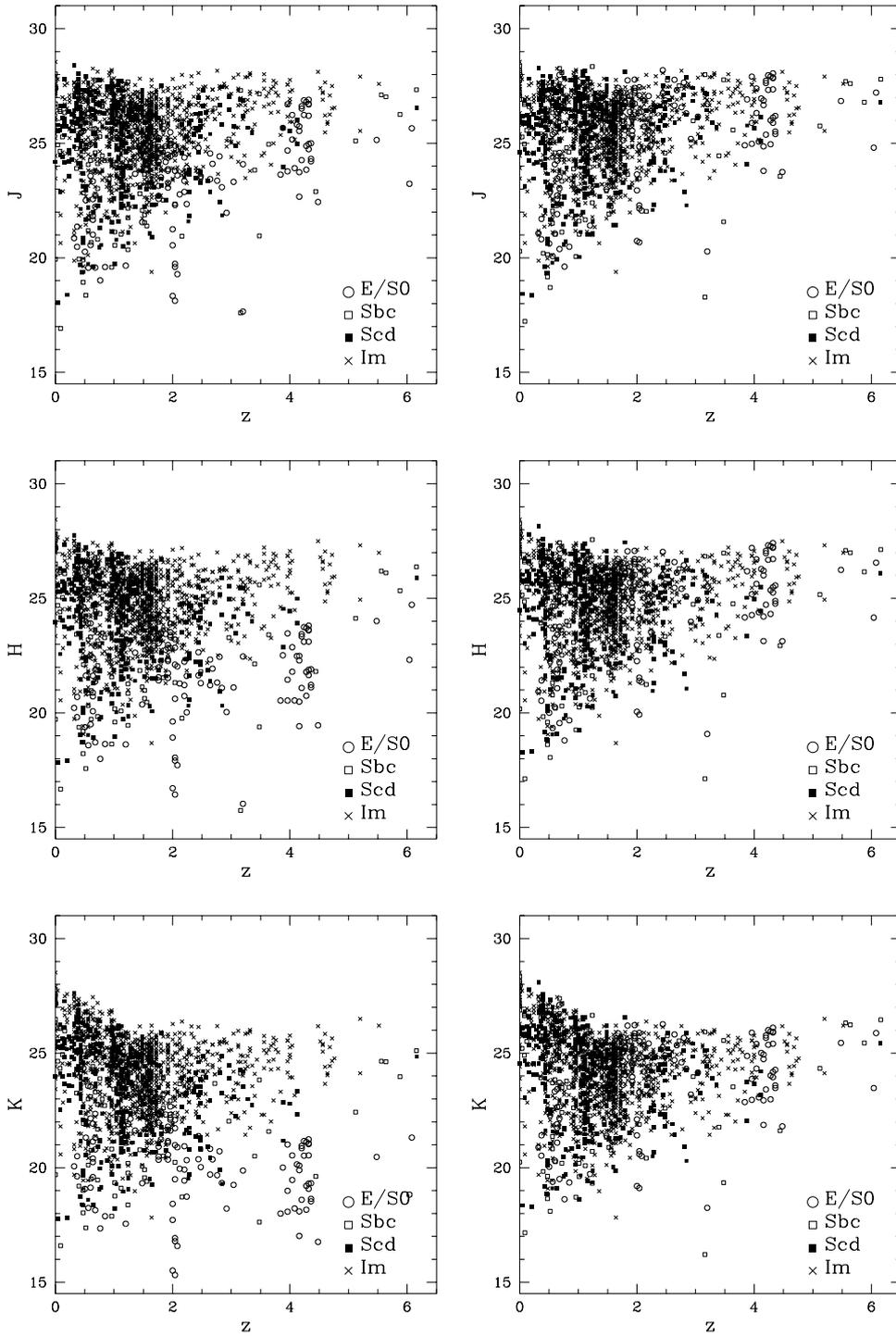


図 2.5: 左側が Morphological type 別に外挿したもの、右側がすべて Irr で外挿したもの。
上から順に、J,H,K バンドの結果。

第 3 章

CISCO の検出器駆動・読み出し系の概要

3.1 仕様

CISCO の検出器には、極めて低い暗電流 ($< 0.1e^-$) と読み出しノイズ ($< 8e^-/frame$) 性能をもつ米 Rockwell 社の HgCdTe 1024×1024 二次元アレイ検出器 (通称 HAWAII) を用いる。

この検出器の読み出し回路に必要な機能は

1. 検出器からの出力信号の増幅
2. 増幅された信号の AD 変換
3. 検出器への各種定電圧の供給
4. 検出器への駆動クロックの供給
5. AD 変換されたデジタル信号の WS 上への取り込み
6. クロックの発生

である。

このうち、AD 変換後のデジタル信号の取り込みとクロックパターンの発生は、国立天文台の関口真木氏らによって開発された汎用の CCD ドライブ / 画像取得システムである Messia-III を用いた。

回路の構成は大きく二つに分けられる。一つは検出器から出力される電圧信号を増幅し、それを AD 変換してメモリ上に取り込む読み出し系、もう一つはその検出器と読み出し系の AD 変換器を駆動させるための 2 系統のクロックを発生させる駆動系である。

以下でその大まかな構成に触れ、簡単に検出器からの信号とクロックの流れを追う。

3.2 全体の構成

3.2.1 外観

この検出器・駆動回路は、できるだけ外来電磁波によるノイズの影響を減らすためにすべて銅のボックスに収められ、さらに箱の間の接続や電源の供給はすべて CANNON の丸型コネクタを経由させてできるだけ外来電磁波を遮断されている。

ボックスは、おもに信号を増幅するボードであるプリアンプ・ADC ボード $2' \times 2'$ を載せたマザーボードを入れる AMP/ADC ボックスと必要なクロックを供給するクロックド

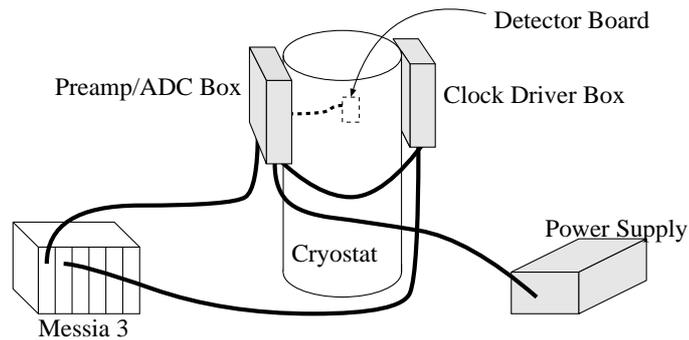


図 3.1: 各回路ボックスの配置。

ライバボードを収納するクロックドライバボックス、さらに $\pm 18V$ の電源を収納する電源ボックスの3つが用意される。

AMP/ADC ボックスとクロックドライバボックスはCISCOのクライオスタットのコネクタ口に密着するように取り付けられ、できるだけノイズを拾わないようになっている。その配置を図 3.1に示す。

3.2.2 各ボードの機能

各ボードの機能・役割は以下のようにになっている。

ファンアウトボード 検出器を載せるボード。さらに、検出器からの出力を一度バッファするためのFETソースフォロウを組み込んである。

バイアスボード ファンアウトボードのソースフォロウのペアFETの入力電圧を調整するためのボード。

プリアンプボード ファンアウトボードからの出力を増幅するプリアンプをのせているボード。その他に、検出器への定電圧を供給する。

ADCボード プリアンプからの出力にローパスフィルタをかけ、さらにAD変換する。この他に、読み出し系、駆動系の各種電圧などのハウスキーピング情報をAD変換する。

マザーボード プリアンプボードとADCボードの外部とのインターフェースと、ボード間の信号のやりとりをおこなうバスを提供する。プリアンプボード、ADCボードとはVME用のDIN96コネクタで接続され、自由に抜き差しができるようになっている。

3.2.3 電源

これらのボードを駆動するための電源は、外部の定電圧電源から基本電圧を供給し、それを元に各ボード上でレギュレータを用いて必要な電圧を作るのが基本で、これはできるだけ電源ラインからのノイズの混入を防ぐためでもある。ただし比較的ノイズを気にしな

くてよく、しかも電流消費の大きくなるであろうデジタル電源に関してはレギュレータはもちいず、外部電源からの供給を直接用いる。

外部電源には松定プレジジョンの PLM-18 で、これからアナログ用の基本電圧 $\pm 18V$ とそのグラウンド、デジタル電圧 $+5V$ とそのグラウンドの 5 系統が出力される。

3.3 検出器からの信号の流れ

出力信号の流れを図 3.2 に示す。

検出器からの出力は内蔵のソースフォロワを経由しないバスラインが直接出てくるため、検出器が載っているファンアウトボード上の J-FET によるソースフォロワでバッファされる。このソースフォロワは 2 つの FET で構成されており、一方は検出器の出力のソースフォロワ、もう一方は適当な定電圧の入力に対するソースフォロワで、プリアンプがこの二つの出力を差動で受けることによりコモンモードノイズを減らすことを狙っている。

ソースフォロワ出力は真空コネクタを経由してクライオスタット外部に導かれ、そこからミニ同軸ケーブルでプリアンプボード上のエミッタフォロワに直接入力される。このエミッタフォロワは信号のインピーダンスを下げるためのものである。プリアンプで 10 倍増幅された後、マザーボードのバスを経由して AD コンバータボードに運ばれ、そこでローパスフィルタをかけられた後 16 ビット AD 変換器にとり込まれる。

変換結果はシフトレジスタでシリアル信号に変換されたのちラインドライバで差動信号になって MESSIA-III の VMI ボード上のメモリに取り込まれ、最終的に光ファイバーでワークステーションに送られる。

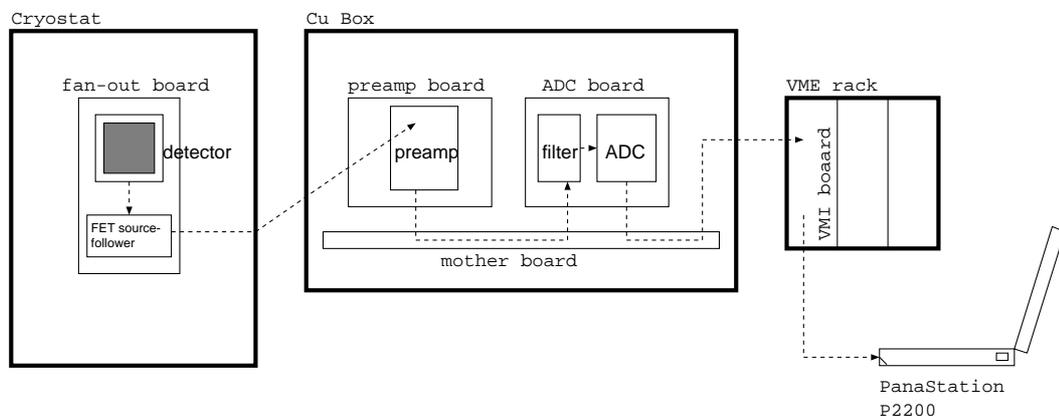


図 3.2: 検出器からの信号の流れ

3.4 クロックの流れ

この回路を駆動するためのクロックの流れを図 3.3 に示す。

MESSIA-III の CIC ボードから差動で出たクロックパターンはクロックドライバボードのフォトカプラで受ける。

この内、検出器のクロックはFSYNC, LSYNCH, LINE, CLOCK, READ, RESETBの6種類ある。これらは0Vと5Vの二つのチャンネル間をスイッチングするアナログスイッチを駆動し、検出器へ送られるクリーンなクロックを生成する。

一方のADコンバータなどを駆動するクロックパターンはADCボード上の素子を駆動するADCTRIG, PSCLK, HKPADCTRIG, HKPPSCLK, HKPSW, HKPRSTの6種類で、これらはクロックドライバボードのフォトカプラからADCボードに送られる。そこでもう一度フォトカプラを経由し、ADCボード上の各チップに送られる。

また、これら以外にVMIボード上のメモリに検出器からのデータを送り込むのに必要なLOAD, CLOCKがある。これらのクロックの流れは少し複雑であるが、まずLOADに関しては、CICボードの出力を再び直接VMIボードに入れる。CLOCKはPSCLKと兼用にし、ADCボードのフォトカプラ出力をもう一度ラインドライバで差動出力にしてVMIボードに入力される。

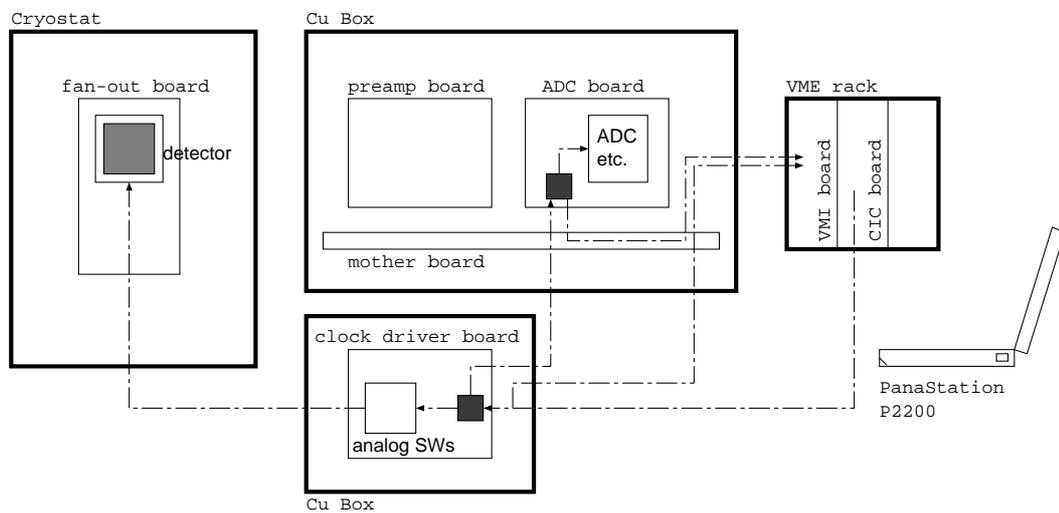


図 3.3: クロックの流れ

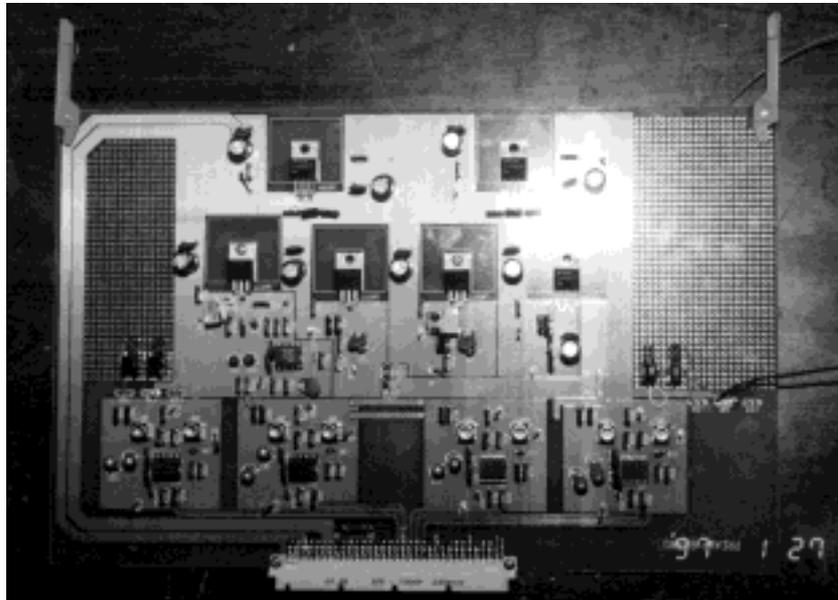


図 3.4: プリアンプボード

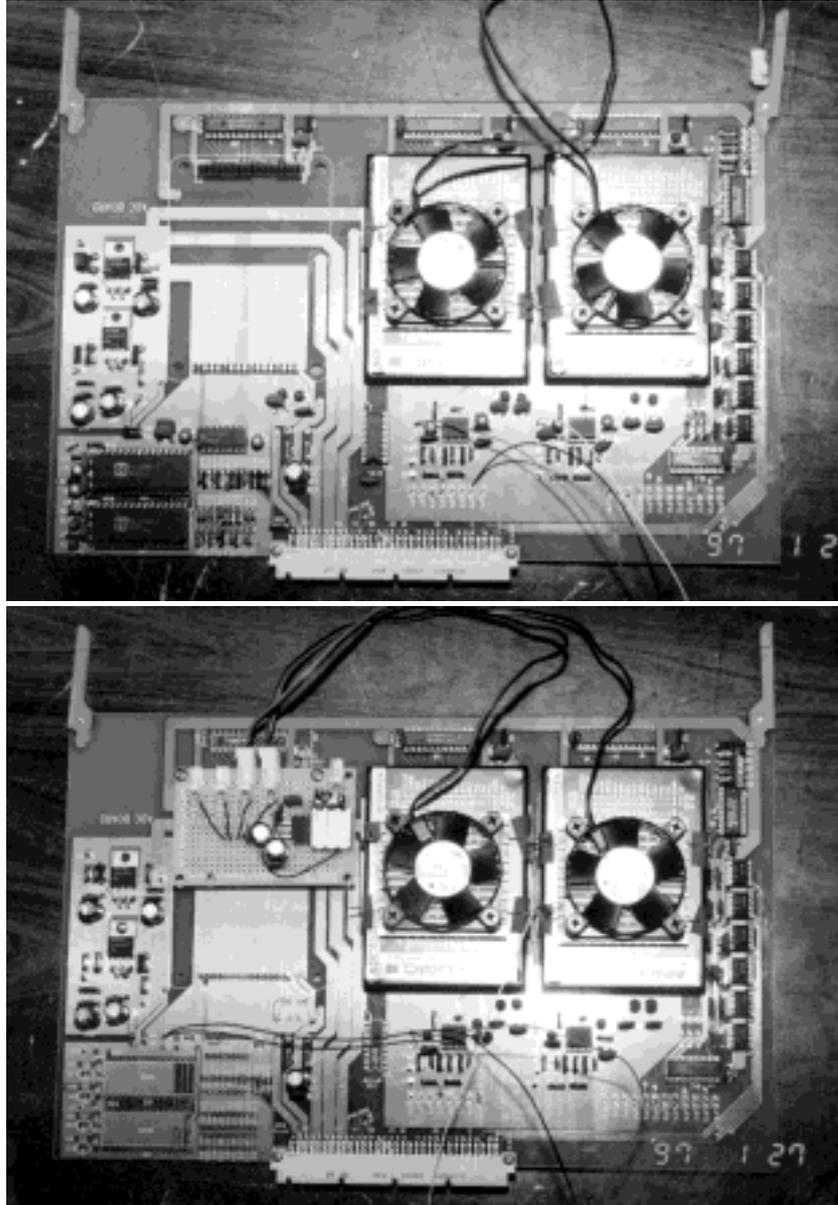


図 3.5: ADC ボード

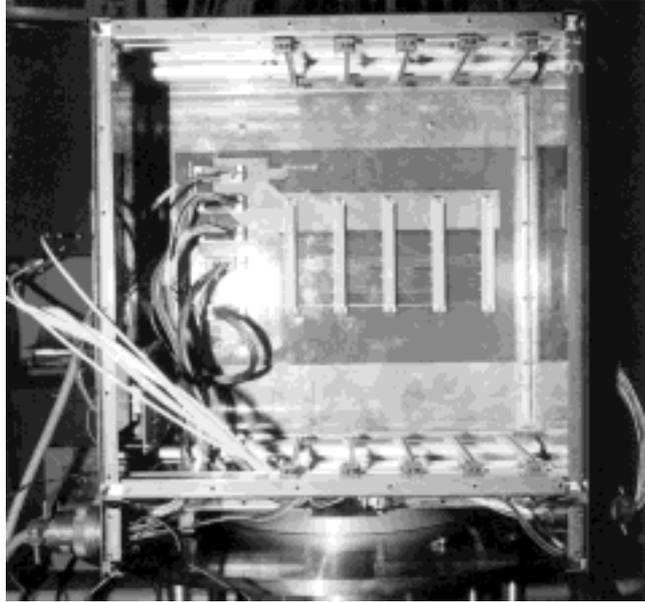


図 3.6: AMP/ADC ボックス。奥に見えているのがマザーボードで、これにプリアンプボード 1 枚と ADC ボード 2 枚が差される。

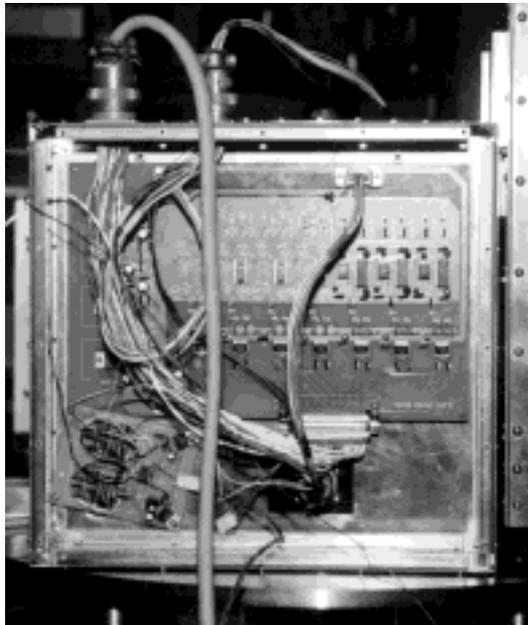


図 3.7: クロックドライバボックスとそれに収められているクロックドライバボード。



図 3.8: MESSIA-III が収められている VME ラックとワークステーション。



図 3.9: マルチプレクサ駆動試験をしているところ。

第 4 章

検出器駆動・読み出し系の開発

ここでは各ボードごとにその詳細と開発の様子を解説する。

4.1 ファンアウトボード

4.1.1 概要

仕様

ファンアウトボードは検出器を乗せるボードで、クライオスタット内に設置されて 80 K にまで冷却される。また、このボードの上に FET のソースフォロワが搭載される。

ここではこの FET ソースフォロワがなぜ必要なのかを解説し、その設計の様子を中心に解説する。

検出器の発光と FET ソースフォロワ

可視 CCD なども含めて大フォーマットアレイ検出器の読み出し部は、内部の回路を保護するために内蔵の FET ソースフォロワでバッファされている。

しかしながら FET の p-n 接合部は電子とホールの再結合によって光るので、この FET ソースフォロワは検出器の重大なノイズ源の一つになっている [9]。そのため、HAWAII 検出器では内蔵の FET ソースフォロワを経由する出力の他にピクセルからの出力を直接ピンに出すオプションが取り付けられた。(図 B.4 参照。)

Electroluminescence はこのソースフォロワの FET 以外でも起こっているのだが、HAWAII 素子の場合ソースフォロワの FET をバイパスすることによってそのレベルは 1/5 になることが報告されている [7]。そのため今回の回路でも内蔵のソースフォロワを用いずに、外付けの FET のソースフォロワをファンアウトボード上に取り付けてそれを用いることにする。

このソースフォロワは二つの FET をペアにして一方に検出器からの出力を、もう一方に定電圧を入力して出力は二つの差をとり、それによってプリアンプに入力するまでに乗ってくるノイズの同相成分を除去することも狙っている (図 4.2)。

図 4.1 にその仕様を示す。

このファンアウトボードは検出器の各種電圧やクロックなどが入力している一方で、検出器からの出力が一番ノイズ耐性の弱い状態で出てくる場所でもある。

そのため、クロックと検出器からの信号が干渉しないように信号とクロックを別々のコネクタで扱い、さらにグラウンドも信号用とクロック用を分離している。

以下、このソースフォロワの解説をする。

4.1.2 FET の特性

FET ソースフォロワには n-type JFET の Siliconix 社の J-230 を用いる。

n-type JFET の特性は

$$I_{DS} = a(V_{GS} + V_P)^2 \quad (4.1)$$

となる。ここで、 I_{DS} はドレイン - ソース間電流、 V_{GS} はゲート - ソース間電圧である。

ファンアウトボードは設計だけを行ない製作は Infrared Laboratory 社に外注するため、先方で用いる予定のものを送ってもらい、液体窒素につけて 77(K) のもと $I_{DS} - V_{GS}$ 関係を測定した。結果の一例を図 4.1 に示す。

この結果を式 (4.1) で fit した結果が表 4.2 である。FET がペアになっているのは、Infrared Laboratory 社が予め特性の似たものをペアにしてくれたため。

この特性を元にソースフォロワの設計を行なってゆく。

動作温度		~80K
FET ソースフォロワ部	入力信号数	4 回線
	出力信号数	差動出力 4 回線
	入力信号電圧	0.5±0.5V
	電圧ゲイン	~0.85
	消費電力	~40mW

表 4.1: ファンアウトボードの仕様。

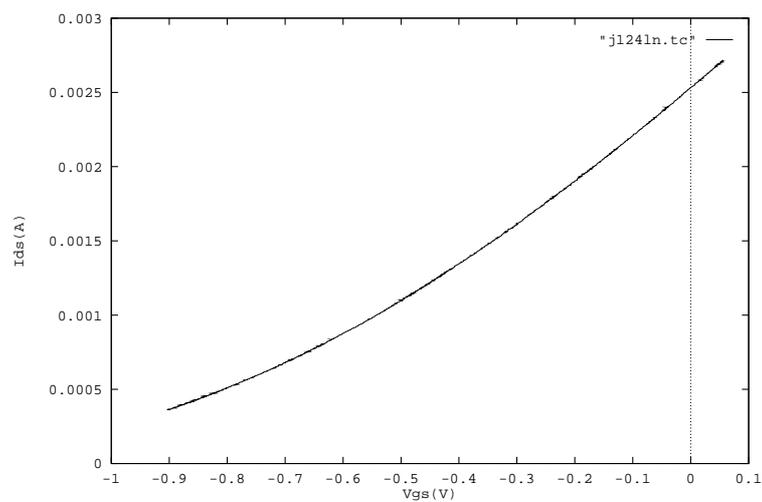


図 4.1: j124 の $V_{GS} - I_{DS}$ 関係 (@77K)。

FET	a	V_P
j124	1.208874×10^{-3}	1.451795
j558	1.168738×10^{-3}	1.455377
k091	1.155354×10^{-3}	1.512541
k510	1.136202×10^{-3}	1.516286
o218	1.189562×10^{-3}	1.686267
o575	1.195748×10^{-3}	1.687438
p178	1.138145×10^{-3}	1.678783
p445	1.071699×10^{-3}	1.702400
s010	1.092710×10^{-3}	1.770276
s392	1.127547×10^{-3}	1.749845

表 4.2: $I_{DS} - V_{GS}$ 関係から求めた 77K に冷却した時の J-230 の特性。

4.1.3 回路定数の決定

ソースフォロワの回路を図 4.2 に示す。また回路の条件は以下のようになっている。

- $V_{ss} = 0(V)$
- $V_{DD} - V_{SS} = 15.0(V)$
- $V_G = 0.5 \pm 0.3(V)$
- $\text{gain} \geq 0.85$
- power dissipation: $V_{DS} \cdot I_{DS} \sim \text{few}(mW)$

以上の条件を満たす R を以下で求める。

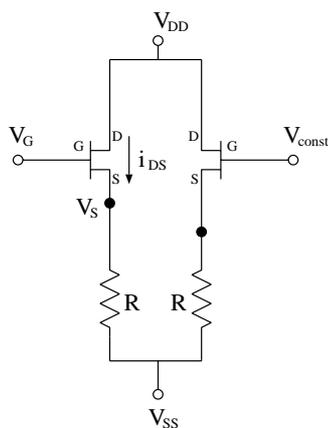


図 4.2: FET ソースフォロワ回路。出力は黒丸の差をとる。

ゲイン

まず基本となる方程式は以下の二つである。

$$\begin{aligned} I_{DS} &= a(V_{GS} + V_P)^2 \\ V_{GS} &= V_G - R I_{DS} \end{aligned} \quad (4.2)$$

また、transconductance g_m は

$$\begin{aligned} g_m &= \frac{d I_{DS}}{d V_{GS}} \\ &= 2a(V_{GS} + V_P) \end{aligned} \quad (4.3)$$

で定義され、これを用いてゲインは

$$gain = \frac{g_m R}{1 + g_m R} \quad (4.4)$$

与えられる。

これらより、 $V_G = 0.5$ のときのゲインと抵抗値 R の関係は j124 の場合で図 4.3 のようになる。 $gain \geq 0.85$ を実現するには $R \geq 5.0k\Omega$ が必要であることがわかる。ほかの FET についても調べてみると、 $gain \geq 0.85$ とするためには少なくとも $R = 5.0k\Omega$ である必要があることが判明した。

Power Dissipation

$R = 5.0(k\Omega)$ のときの $V_{DS} \cdot I_{DS}$ は図 (4.4) の交点となる。交点はおよそ

$$\begin{aligned} V_{GS} &\sim -1(V) \\ I_{DS} &\sim 0.35(mA) \end{aligned}$$

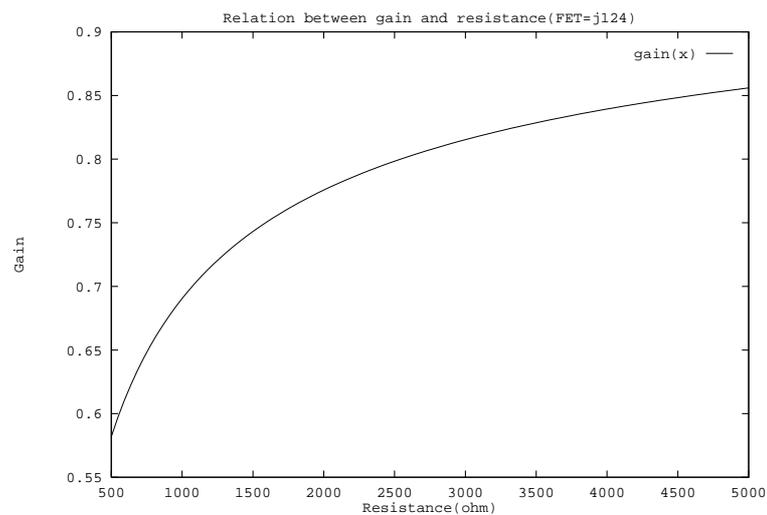


図 4.3: ゲインと抵抗値の関係。 $gain \geq 0.85$ を実現するには $R = 5000(\Omega)$ が必要であることがわかる。

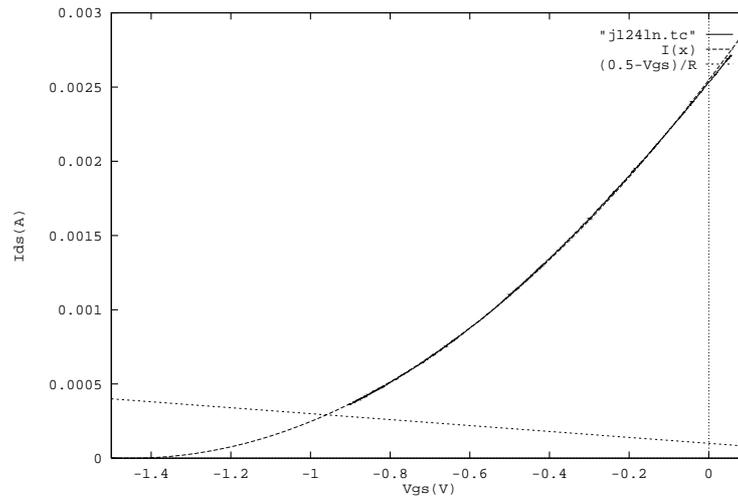


図 4.4: j124 の $V_{GS} - I_{DS}$ グラフ。求める値は交点の座標である。実験で測定されていない領域に交点に来ているのがわかる。

であるから、power dissipation はおおよそ $5(mW)$ となる。

以上のことより、ソースフォロワのソース抵抗は $5k\Omega$ のものを用いることに決定した。

4.1.4 出力インピーダンス

出力インピーダンスは図 4.5 のように出力をインピーダンス Z で接地したと考えると、ソース電圧 V_S が

$$V_S(Z_{output}) = \frac{1}{2} V_S(Z \rightarrow \infty) \quad (4.5)$$

となるような Z_{output} で与えられる。

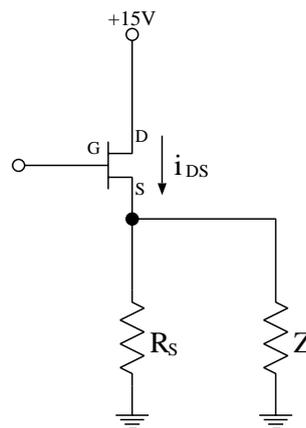


図 4.5: 出力をインピーダンス Z で接地して、出力インピーダンスを求める

式 (4.1), (4.3) より、

$$i_{DS} = \frac{g_m}{2} (V_G - V_S) + I_{DSS} \quad (4.6)$$

であることから、

$$\begin{aligned} i_{DS} &= \frac{g_m}{2}(V_G - V_S) + I_{DSS} \\ &= V_S \left(\frac{1}{R_S} + \frac{1}{Z} \right) \end{aligned}$$

と書ける。この両辺を V_S で微分して、

$$dV_S = 2dV_G \left(\frac{Z + R_S}{ZR_S g_m} + 1 \right)^{-1} \quad (4.7)$$

で、 $dV_S(Z_{output}) = 0.5dV_S(Z \rightarrow \infty)$ より

$$Z_{output} = \frac{R_S}{1 + R_S g_m} \quad (4.8)$$

となる。今の場合、 $R_S = 5.0(k\Omega)$ 、 $g_m \sim 1.0 \times 10^{-3}(mho)$ なので、 $Z_{output} \sim 0.83 \times 10^3(\Omega)$ となる。

4.1.5 線形性

ゲインは式 (4.3), (4.4) であたえられるが、これは一見してわかるように V_{GS} に依存している。すなわち、入力電圧が変動するとゲインが変わることになる。この関係をグラフにしたのが図 4.6 である。これを見ると入力電圧が 0.2V 増加するごとにゲインがおよそ 1% 増加することがわかる。

さらに、入力と出力の関係と出力から直線成分を除去したものを図 4.7 に示す。これを見ると、直線からのずれが数 mV レベルで生じることがわかる。

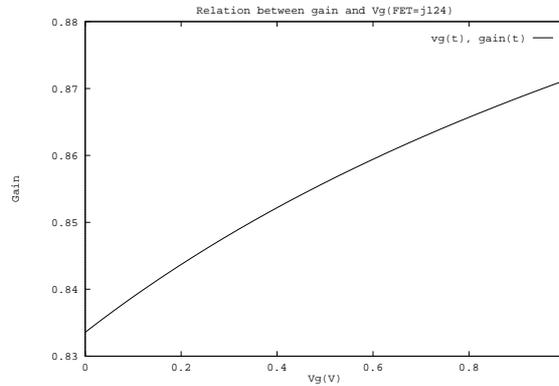


図 4.6: FET ソースフォロワの入力電圧 V_G とゲインの関係。

4.1.6 ペア FET のゲート電圧調整機構と回路定数

ペアの FET にかけるバイアス電圧は、基本的にはボード上で +15 V を抵抗分割して 0.5V にして用いる。しかしながら、この値を変える必要がある場合に備えて外部のバイアスボードで調節できるようにしている。

機構としては極めて簡単で、図 4.8 のようになっている。

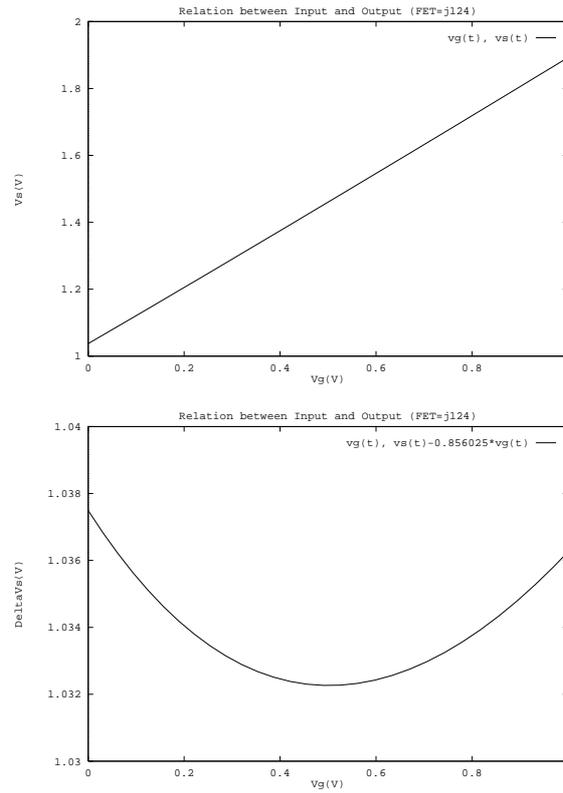


図 4.7: FET ソースフォロワの入力電圧 V_G と出力電圧 (上) と、出力電圧から直線成分 $0.856025 \cdot V_G$ を取り除いたもの (下)。

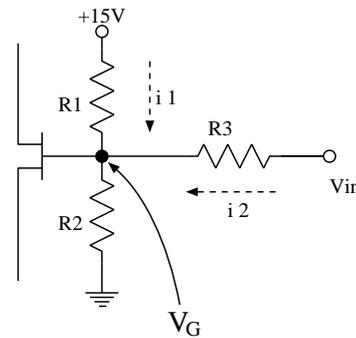


図 4.8: FET プリアンプのバイアス部分。+15V を抵抗分割して用いるのが基本形で、それに外部から導入されたバイアス電圧 V_{in} で変えることができるようにしてある。

すなわち、基本的には R_1, R_2 の抵抗分割で 0.5 V が作られているものの、さらにそれに電圧 V_{in} を抵抗 R_3 を通してかけることによりある程度の自由度で変えられるようになっている。

設計の仕様は以下のようにになっている。

- $V_G \sim 0.5 \pm 0.5(V)$

- $V_{in} = 0 - 15(V)$
- $R_1 = 29R_2$
- 消費電力は数 (mV) 以内

結局、 V_G の可動範囲の制限から $R_3 = R_1 = 29R_2$ でさらに消費電力に制限により

$$\begin{aligned} R_1 &= 290k\Omega \\ R_2 &= 10k\Omega \\ R_3 &= 290k\Omega \end{aligned}$$

とした。

最後にこの時の V_G の可動範囲と消費電力を各々図 4.9, 4.10に示しておく。

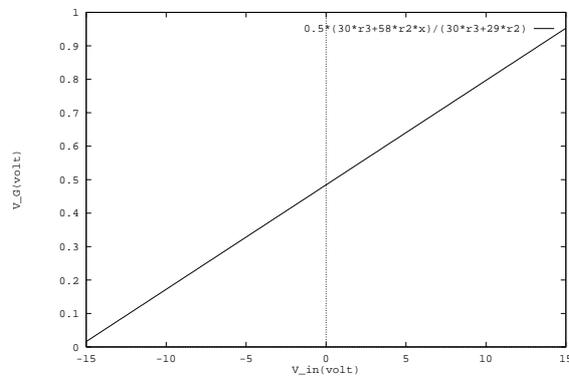


図 4.9: $R_3 = 29R_2, R_2 = 10(k\Omega)$ のときの V_{in} と V_G の関係

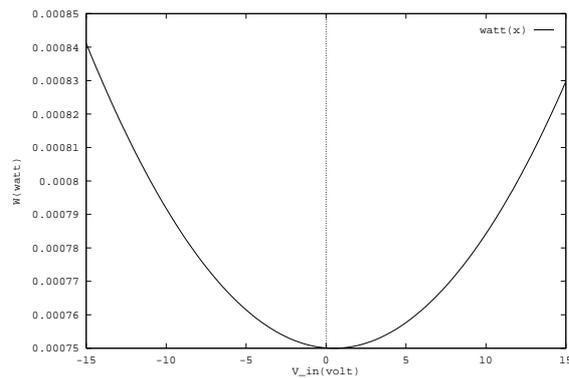


図 4.10: $R_3 = 29R_2, R_2 = 10(k\Omega)$ のときの消費電力と V_{in} の関係。

4.2 プリアンプボード

プリアンプボードはファンアウトボードからの出力を受けて増幅するプリアンプと、検出器への各種定電圧電源を供給する電源を搭載する。ここではプリアンプの開発を中心に解説する。

4.2.1 プリアンプの概観

ファンアウトボードのソースフォロワから差動で出力された信号は、クライオスタットの出口までシールド線で導かれ、ハーメティックコネクタにより真空の外に出る。そこから LEMO 社のミニ同軸ケーブルによりプリアンプボード上のコネクタ (図 4.11 で COAX EPA) に直接入力される。

入力された信号はインピーダンスが $\sim 1\text{ k}\Omega$ と比較的高いため、npn トランジスタの SC3668 によるエミッタ・フォロワでインピーダンスを下げて、オペアンプに入力される。プリアンプ 1 チャンネル分の回路図を図 4.11 に示す。

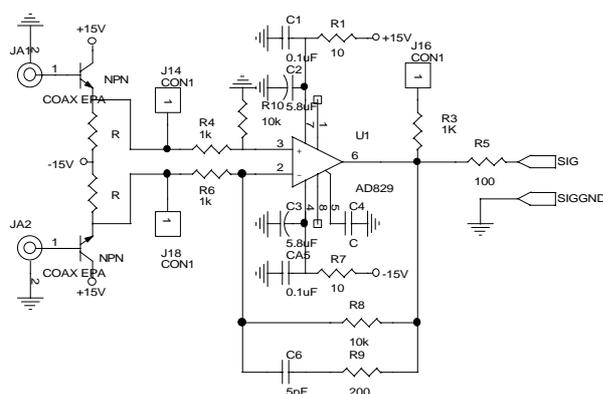


図 4.11: プリアンプの回路図。

プリアンプの仕様は以下のようになっている。

入力信号形式	ミニ同軸ケーブルから差動入力
入力信号数	4
形式	オペアンプによる差動増幅
電圧増幅率	10 倍
カットオフ周波数	3.2 MHz
オペアンプ	AD829 (OP37 も差し替えで使用可)
入力トランジスタ	SC3668

表 4.3: プリアンプの仕様

4.2.2 プリアンプの設計

検出器からの出力は電圧出力であり、さらにそれがエミッタフォロウでバッファされて入力される。そのためプリアンプには特別な機能は何も必要なく、極めて一般的なオペアンプによる反転増幅を採用した。

ゲイン

ゲイン $T(f)$ は以下ようになる。

$$T(f) = -\frac{R_8}{R_6} \frac{1 + 2\pi i f R_9 C_6}{1 + 2\pi i f (R_8 + R_9) C_6} \quad (4.9)$$

抵抗の値は、増幅率が10倍にすることから $R_8 = 10k\Omega$, $R_6 = 1k\Omega$ を選択する。また、 $R_9 = 200\Omega$ とした。

このとき、 $R_9 \ll R_8$ であることから、式 (4.9) は簡単になって、

$$T(f) = -\frac{R_8}{R_6} \frac{1}{1 + 2\pi i f R_8 C_6} \quad (4.10)$$

となる。

周波数特性

検出器のスキャン速度は1 sec/frame を想定する。画素数は 1024×1024 で、それを4つの口で読み出すから、ピクセルレートは $\frac{1 \times 4}{1024 \times 1024} \sim 3.8\mu s$ となる。これより、ここでは検出器からの出力信号は幅 $3.8\mu s$ の矩形波であると仮定する。

一方、ADコンバータは16ビットで、入力のセトリング時間は600nsであるから、 $(1 - 1/2^{16})$ セトリング時間 $\tau_s < 600$ ns となるようにコンデンサの値を決める。

ゲイン $T(f)$ のフィルタのデルタ関数に対する point-spread function $P(t)$ は

$$P(t) = \int_{-\infty}^{\infty} T(f) e^{-2\pi i f t} df \quad (4.11)$$

で表される。これよりステップ関数に対する応答は時間 $t < 0$ では入力がなく、 $t \geq 0$ ではデルタ関数が連続して立っていると考えるとよくて

$$S(t) = \int_0^t P(\tau) d\tau \quad (4.12)$$

となる。

式 (4.10), (4.11) よりこのプリアンプの point-spread function は

$$P_{preamp}(t) = \frac{e^{-t/C_6 R_8}}{C_6 R_8} \quad (4.13)$$

となり、これよりステップ応答は

$$S_{preamp}(t) = \frac{R_8}{R_6} \left(1 - e^{-t/C_6 R_8}\right) \quad (4.14)$$

となる。

よってセトリング時間は

$$e^{-\tau_s/C_6 R_8} < 2^{-16} \quad (4.15)$$

となる。これに $\tau_s = 600 \times 10^{-9}\text{s}$, $R_8 = 10\text{k}\Omega$ を入れて

$$C_6 < 5.4 \times 10^{-12}$$

となる。これより、 $C_6 = 5\text{pF}$ とする。

4.2.3 プリアンプの動作テスト

ボード上に実装した回路の4つあるチャンネルのうちの一つのチャンネルAの周波数特性を測定した。

入力波には小振幅100mV、と大振幅1Vの2種類の正弦波を用いた。結果は以下の通りである。

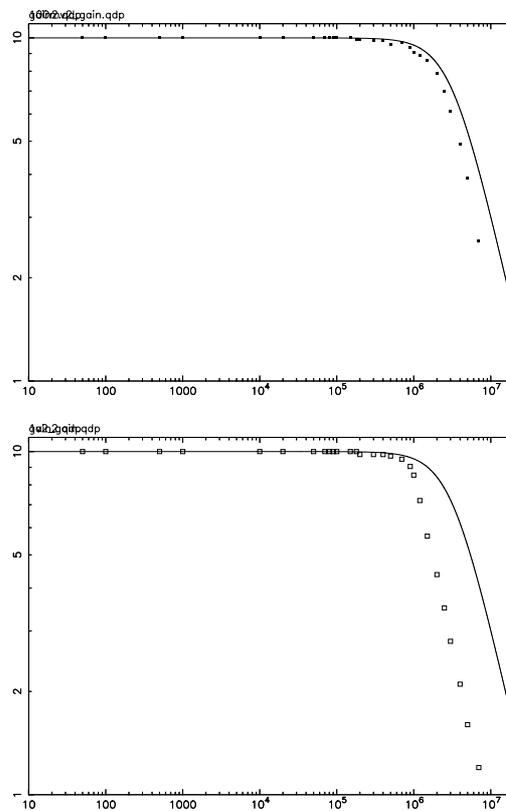


図 4.12: 入力振幅 100mV(上) と 1.0V(下) の時のゲイン

小振幅の時はほぼ理論の予想通りの結果になっているが、大振幅では入力波の周波数が900kHzを越えたあたりから出力波形が三角波になった。これはオペアンプの速度が入力についていけなくなったためと考えられる。

実際に用いる場合には入力振幅はせいぜい100mV以下であろうと予想されるので、この点は問題ないと思われる。

4.2.4 定電圧電源部

プリアンプを駆動するための電源は、外部の定電圧電源から引いてきた $\pm 18\text{V}$ の電源電圧をそれぞれプリアンプボード上の5端子レギュレータ LM2991 と LM2941 で $\pm 15\text{V}$ に変換して使用している。これは、他のボードと電源を直接共有するとその間のケーブルがアンテナになって電磁波を拾ったり、共通インピーダンスでノイズがのったりするため、今回のボードはファンアウトボードを除いてすべて電源は自身のボード上で発生させている。

一方、検出器への電源電圧はできるだけクリーンでなければならないという観点から、ファンアウトボードへの電源電圧はプリアンプボードの電源とは別にレギュレーターを用意して発生させる。

検出器に必要な電源は表 B.1にある4種類12系統で、このうちグラウンドを除いた3種類6系統にFETのソースフォロワの電源 $+15\text{V}$ を合わせた4種類7系統を用意した。これらの電源のうち、VRESETは 0.5V とレギュレーターで直接作ることができないため抵抗分割した電圧をオペアンプでバッファして出力し、他のものについてはすべてレギュレーターで作ったものを出力した。

ここで供給する電圧を表 4.4に示す。

名称	電圧 (V)	機能
+15V	15	ボードのアナログ電源
-15V	-15	
VDD	5	検出器駆動電源
HIGH	5	
CELLWELL	5	
VRESET	0.5	
BIASGATE	3.5	
BIASPOWER	5	
VFET	15	FET 増幅器電源

表 4.4: 定電圧電源部の仕様

4.2.5 ノイズ対策

プリアンプボードは弱い信号を10倍に増幅するとともに、検出器への電源を供給するため、もっともノイズ対策に注意しなければならないボードである。このため、以下のようなノイズ対策を行なっている。

ミニ同軸ケーブル クライオスタットから出た信号はまだ比較的高インピーダンスでノイズの影響を受けやすい。さらに、この後に10倍増幅を行なうためここで拾ったノイズは10倍になって後に影響を与えることになる。

その対策として、今回 LEMO 社のミニ同軸ケーブルを用いた。ケーブルは RG.188A/U、コネクタは FFS.01.250.DLAE31 である。さらに、この信号を直接ボード上のオペ

アンプの入口付近に導いている。

プリント基板パターン 基板には2層のプリント基板を用い、基本的にその1面をベタアースにして共通インピーダンスの影響や静電結合によるノイズの混入をできるだけ押えるようにした。図 4.13にグラウンド側のプリントパターンを示す。

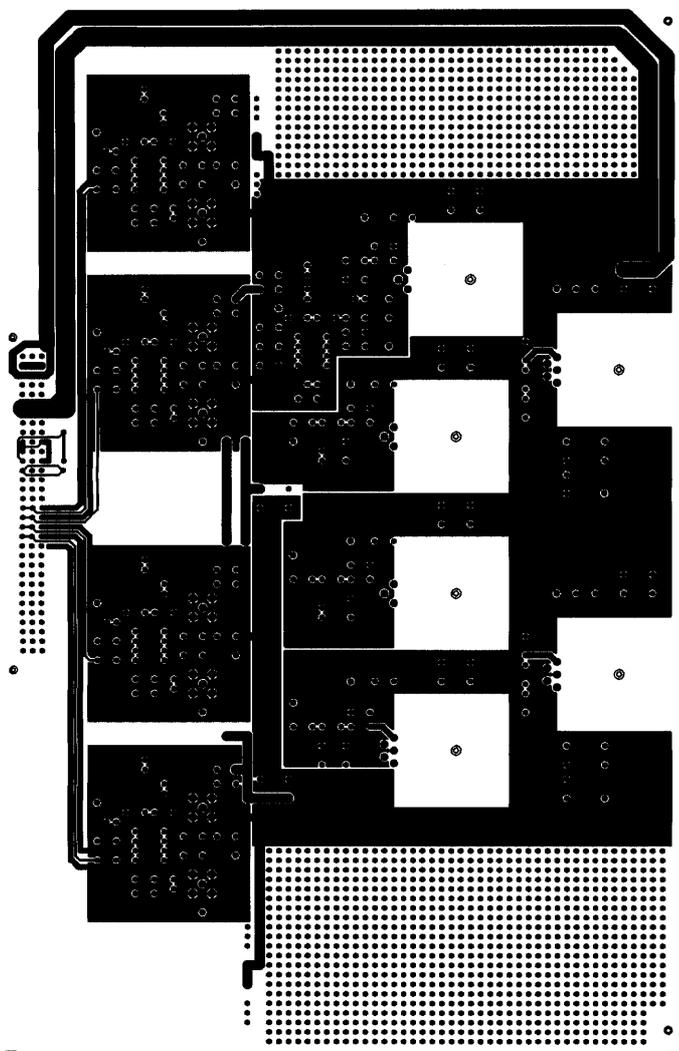


図 4.13: プリアンプボードのグラウンド側のプリントパターン

ベタアースは全面を覆ってしまうのではなく、回路ユニット毎に分けしめよう。左に縦に4つ並んでいるのがプリアンプの各チャンネルで、その右側に広がるのがボードの電源と検出器への定電圧である。

このユニットを共通インピーダンスの影響が少なくなるように接続する。まずは電源のグラウンドをコネクタのグラウンド端子(図では左端の上の方)に結んである。プリアンプ部ではこの電源部のグラウンドを参照して電圧を決めることになるので、チャンネル毎に独立に電源のグラウンドに接続される。

また、オペアンプから出力された信号は両側からグラウンドで挟み込んで、静電結合によるノイズを防ぐようになっている。

4.3 ADC ボード

ADC ボードには大きく分けて二つの機能がある。一つは検出器からの信号の AD 変換、もう一つは回路の各部の電圧を AD 変換して出力するハウスキーピング情報の処理である。

4.3.1 ADC ボードの概要

AD 変換を行なう必要のある情報は信号 4 チャンネルにハウスキーピング情報 1 チャンネルと計 5 チャンネルあるため 5 つの AD コンバータが必要であるが、この ADC4344 はサイズが大きすぎてすべての回路を 1 枚の基板上に配置するのは物理的に不可能である。そこで基板を二つに分けることにした。

図 4.14 を参照されたい。一方のボードでは検出器からの信号 2 チャンネルと House Keeping 情報を処理し、もう一方のボードで残りの検出器からの信号を処理する。この際、ボードパターン製作の手間を軽減するため同一パターンを両方に用いることができるように回路を設計した。

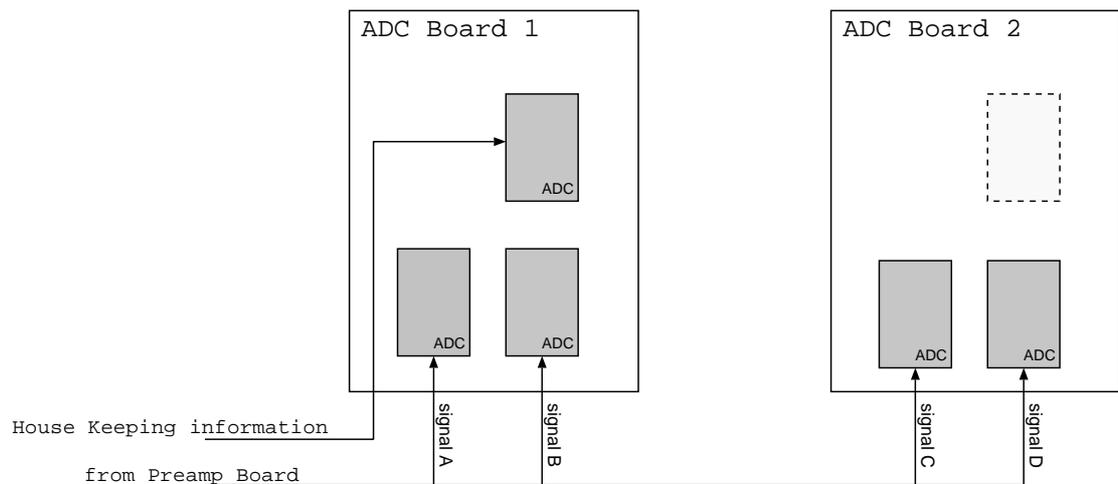


図 4.14: AD コンバータボードへの信号入力の流れ。ボードを二つに分け、検出器からの信号をそれぞれ 2 チャンネルずつ処理する。さらに、House Keeping 情報は片方で処理する。このためのボードパターンは同じものを用いる。

信号処理部

プリアンプで増幅された信号はその信号の帰還電流を流すグラウンド線とペアになって、マザーボードを経由してまずローパスフィルタに入る。

このローパスフィルタでできるだけ帯域を狭めて高周波のノイズを落した後、AD 変換器に入力される。出力は平行で行なわれるので、それをシフトレジスタでシリアル信

号に変換して、さらにラインドライバで差動信号になって MESSIA-III の VMI ボードに転送される。

ハウスキーピング情報処理部

ハウスキーピング情報部は、プリアンプボード、ADC ボード上の電源電圧や定電圧部の情報をモニターする。

これら各部の電圧はマルチプレクサによってスイッチングされた後に AD コンバーターに取り込まれ、その出力は検出器からの信号と同様にして VMI ボードに取り込まれる。

電源

ADC ボードに必要な電源は、アナログ用の $\pm 15V$ とデジタル用の $V_{CC} = 5.0V$ である。アナログ用の電源はプリアンプボードと同様に外部電源の $\pm 18V$ から 5 端子レギュレータ LM2941, LM2991 をもちいて作る。

デジタル用の電源は、外部電源から直接 $5V$ を供給して用いる。これは、デジタル用の電源はそんなにクリーンである必要がないことと、AD コンバータなどでかなりの電流が必要となるため、電流容量がはるかに大きい外部電源を直接用いた方が有利だからである。

4.3.2 仕様

ADC ボードの仕様は以下の通りである。

入力信号数	4 回線
入力信号幅	$\pm 5(V)$
入力フィルター	オペアンプによるベッセルフィルタ
フィルタ電圧増幅率	1.26
出力信号数	4 回線
出力信号形式	16 ビットシリアル
出力クロック	2 回線 (同期クロック、load クロック)

表 4.5: 信号処理部の仕様

入力信号数	最大 32 回線
入力信号幅	$\pm 5(V)$
出力信号数	1 回線
出力信号形式	16 ビットシリアル
出力クロック	2 回線 (同期クロック、load クロック)

表 4.6: ハウスキーピング情報処理部の仕様

入力信号名	信号数	機能
BIAS[0]~BIAS[3]	4	ペア FET ゲート電圧調節用電圧
HIGH, VDD, VRESET, CELLWELL, ,BIASPOWER,BIASGATE	6	検出器駆動電源
VFET	1	FET 増幅器電源
V_{\pm}, V_{CC}	3	外部電源電圧
AGND, DGND	2	グラウンド

表 4.7: ハウスキーピング情報処理部に入力される電圧

4.3.3 ADC 入力フィルタの設計

AD 変換器への入力フィルタは、東京大学の片坐宏一氏設計の中間赤外線分光撮像装置 (MICS) のものを参考に設計した [26]。

回路図を図 4.15 に示す。周波数のカットオフを鋭くするために高周波極限でゲイン $T(f) \propto f^{-2}$ となる二次のフィルタになっている。

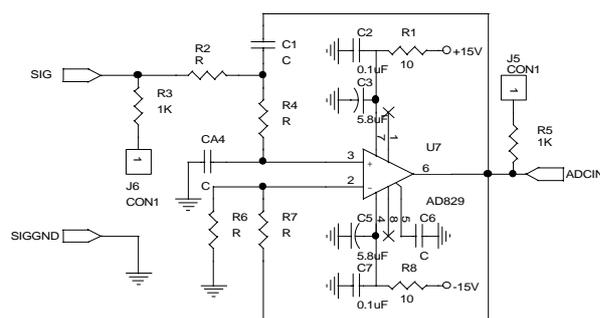


図 4.15: AD コンバータ入力フィルタの回路図。

周波数特性

この回路のゲイン $T(f)$ は

$$T_{filter}(f) = \frac{R_6 + R_7}{R_6 - 2\pi i f (C_4 R_4 R_6 - C_1 R_2 R_7 + C_4 R_2 R_6) - 4\pi^2 f^2 C_1 R_2 C_4 R_4 R_6} \quad (4.16)$$

で与えられる。

[26] によると式 (4.11), (4.12) よりその point-spread function とステップ応答はそれぞれ

$$P_{filter}(t) = \frac{4\pi A f_0}{B} e^{\pi f_0 t / Q} \sin \pi f_0 B t \quad (4.17)$$

$$S_{filter}(t) = A \left(1 - e^{\pi f_0 t / Q} \left(\frac{\sin \pi f_0 B t}{Q B} + \cos \pi f_0 B t \right) \right) \quad (4.18)$$

となる。ここで、

$$\begin{aligned}
 A &= \frac{R_6 + R_7}{R_6} \\
 B &= \sqrt{4 - Q^{-2}} \\
 Q &= \frac{\sqrt{C_1 C_4 R_2 R_4}}{C_4 R_4 - C_1 R_2 R_7 / R_6 + C_4 R_2} \\
 f_0 &= \frac{1}{2\pi \sqrt{C_1 C_4 R_2 R_4}}
 \end{aligned}$$

である。

Qはこのフィルタの透過特性を決める値でその値によってバターワースフィルタ ($Q = 1/\sqrt{2}$)、チェビシェフフィルタ ($Q \sim 1.3$)、ベッセルフィルタ ($Q = 1/\sqrt{3}$) などがある。今回は位相特性が良く歪みの少ないベッセルフィルタを選択する。

回路定数

式(4.18)より、ステップ応答のタイムスケールはほぼ $e^{\pi f_0 t / Q}$ で決定されることがわかる。 $Q = 1/\sqrt{3}$ で、 $(1 - 1/2^{16})$ セトリング時間 $\tau_s < 800$ ns とすると

$$f_0 > \frac{16 \ln 2}{\sqrt{3} \tau_s \pi} > 2.5 \text{ MHz} \quad (4.19)$$

となる。

よって回路定数の条件は $f_0 = 2.5$ MHz, $Q = 1/\sqrt{3}$ で、これを満たすものとして以下のものを選択した。

R2	360	Ω
R4	360	
R6	820	
R7	220	
CA1	220	pF
CA4	220	

表 4.8: ADC 入力フィルタの実装回路定数

4.3.4 ADC 入力フィルタの動作テスト

チャンネル1についてその周波数特性とステップ応答のテストを行なった。

周波数特性

振幅 100mV, 1.0V, 10.0V の3種類の正弦波を入力して応答のゲインと位相のずれを測定した。結果を図 4.16 ~ 4.18に示す。

入力振幅が 100mV と 1.0V のときはほぼ理論の予想通りの応答がある。一方、入力振幅が 10.0V の時は 600kHz あたりから出力波形が三角波になった。これはオペアンプがこの速度の電圧変化についていけなくなったためであると考えられる。

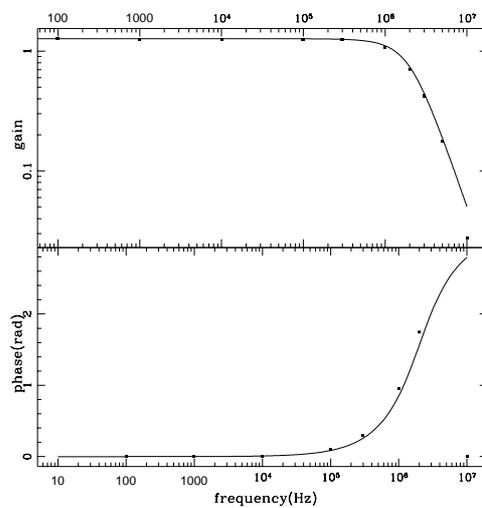


図 4.16: 入力振幅 100mV の時のゲインおよび位相差

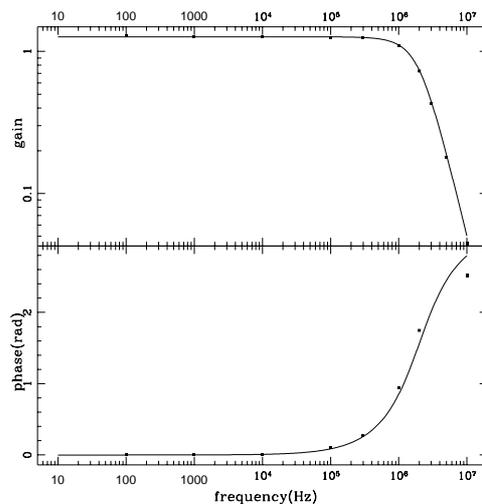


図 4.17: 入力振幅 1.0V の時のゲインおよび位相差

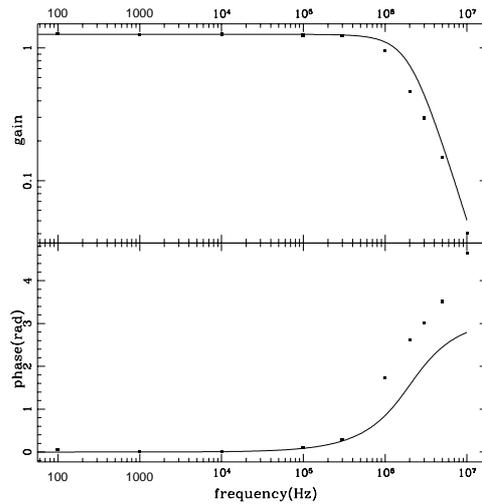


図 4.18: 入力振幅 $10V$ の時のゲインおよび位相差。 $600kHz$ あたりから出力波形が三角波になった。

ステップ応答

次に階段波に対するステップ応答の速度を見る。

まず式 (4.18) をプロットしたものを図 (4.19) に示す。

測定は出力の 90% 立ち上がり / 立ち下がりで行なうことにする。理論値は表 4.9 のようになる。

実際の測定には $1kHz$ の矩形波を入力し、振幅は peak-to-peak で $0.2V$, $2.0V$, $5.0V$, $10.0V$ の 4 種類を用いた。

測定はオシロスコープのプロープによる誤差を取り除くために、単一のプロープで入力

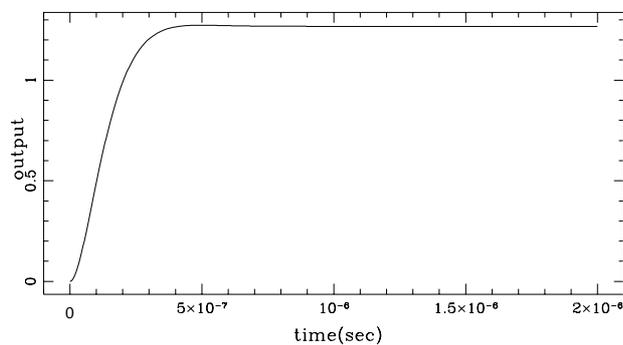


図 4.19: ADC 入力フィルタのステップ入力に対する応答の予想。横軸は入力の変動した瞬間からの時間、縦軸は出力 / 入力比である。

	t	$S(t)$
極限	∞	1.267640
90% セトリング	2.60×10^{-7}	1.145721

表 4.9: ADC 入力フィルタのステップ入力に対する典型的な応答時間の予想。

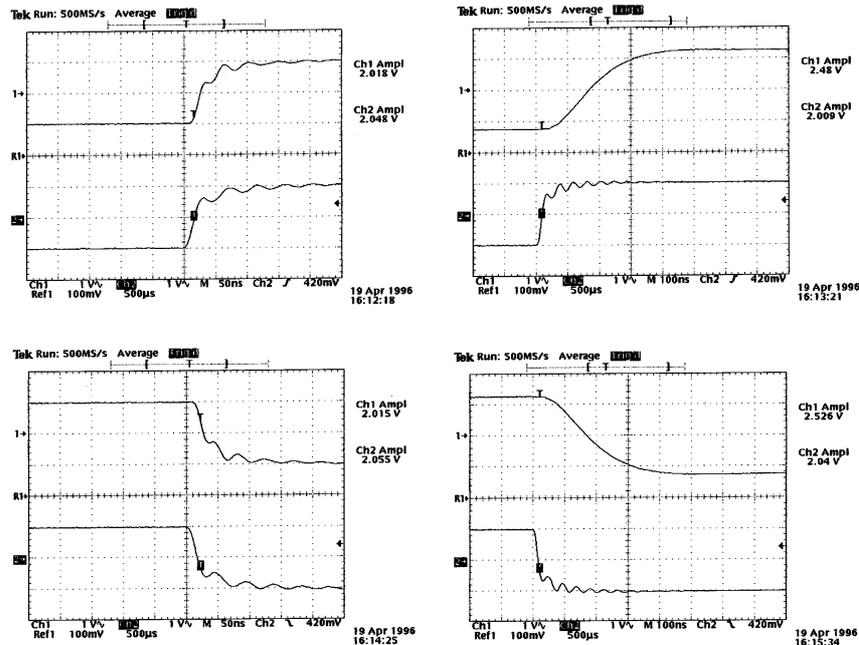


図 4.20: 入力振幅が 2.0V のときのオシロスコープの出力。上の列が立ち上がり、下の列が立ち下がりである。さらにそれぞれの上がプローブによる計測、下が発信機からの出力を直接同軸ケーブルでオシロに入力したもの。左は発信機の出力をプローブで見たもの。少し ($\sim 10ns$) 遅れがあるのがわかる。右はフィルタを通した応答。

波形と出力波形を別々に測定した。図 4.20 に入力振幅が 2.0V のときのオシロスコープの出力を示す。

これより peak-to-peak が 90% まで立ち上がる / 立ち下がる時間を測定したのが表 4.10 である。

これを見ると全体的に理論による予想 ($260ns$) よりも若干遅くなっている。これは入力信号が完全な矩形波ではなく少し鈍っているためであると考えられる。

また、入力振幅 10.0V のときは特に遅れが大きくなっている。この時の出力波形を図 4.21 に示す。これを見てわかるのは、立ち上がり / 立ち下がりが途中で直線的になってしまっているということである。

この傾きはおおよそ $40V/\mu s$ となっており、一方入力振幅が 10V で理想的な場合は図 4.19 から傾きはおおよそ $50V/\mu s$ になると考えられる。

この傾きの違いがオペアンプのスピードの限界によるものと考えて、オペアンプのスルーレートを概算すると大体 $200V/\mu s$ になる。OP829 のスルーレートはカタログ値で $230v/\mu s$

$V_{in}(V)$	up/down	time(ns)
0.1	up	309
	down	302
1.0	up	309
	down	312
2.5	up	310
	down	302
5.0	up	348
	down	366

表 4.10: ステップ入力に対する応答時間。

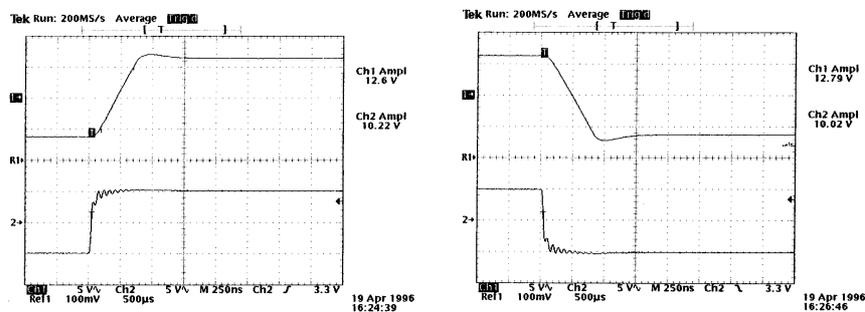


図 4.21: 入力振幅が 10.0V のときのオシロスコープの出力。左が立ち上がり時、右が立ち下がり時でそれぞれ上が応答をプローブで見たもの、下が入力の矩形波を同軸ケーブルで見たもの。

であるから、これは合理的な値である。この遅れはオペアンプの速度の限界によるものだと考えてよいだろう。

検出器からの入力振幅はせいぜい 0.1V 程度であるので、このレベルでの変動ではほぼ設計通りの性能で動作することが確認できた。

4.3.5 AD 変換と VMI ボードへの転送

AD 変換して VMI ボードへ転送する回路は、検出器の信号もハウスキーピング情報も全く同一である。

AD コンバータは逐次比較変換の ANALOGIC の ADC4344 を用いる。この素子はサンプル/ホールドの機能と内部クロックジェネレータが内蔵されており、外部からトリガ信号を与えるだけで変換を行なって、パラレルの 16 ビット信号を出力する。この AD コンバータは変換の入力レンジを 0~10V, -5~5V, -2.5~2.5V の 3 種類から選択できるようになっている。今回はノイズ耐性を上げるためにアンプの増幅率を大きくして 10V 電圧幅で使い、さらにプリアンプで差動入力していることから 0V 周辺の電圧が入力されてくるので -5~5V

のレンジを用いる。これにより AD コンバータでのゲインは

$$1ADU(bit) = \frac{10}{2^{16}} = 0.15259(mV) \quad (4.20)$$

となる。

MESSIA-III の VMI ボードの入力は 16 ビットシリアル信号の差動入力であるため、AD コンバータの出力はまず 16 ビットのシフトレジスタ 74HC674 でシリアル信号に変換された後、ラインドライバ SN75ALS192 で差動信号になって VMI ボードに送られる。

駆動クロック

これを駆動するクロックは表 4.11 にある 3 つである。AD コンバータのトリガ信号と、パラレル / シリアル変換シフトレジスタへ 16 ビットパラレル信号を読み込ませるロード信号、それにパラレル / シリアル変換シフトレジスタを駆動させるクロックと VMI ボードに取り込む時のシリアルクロックをそれぞれ共通にして必要なクロック数を減らしているのが特徴である。

素子の動作は以下のようにになっている

ADC4344 ADCTRIG が H(high) になるエッジでトリガがかかり、それから 850ns 程度で変換結果が 16 ビットパラレルで出力される。この出力は次の出力があるまで保持される。

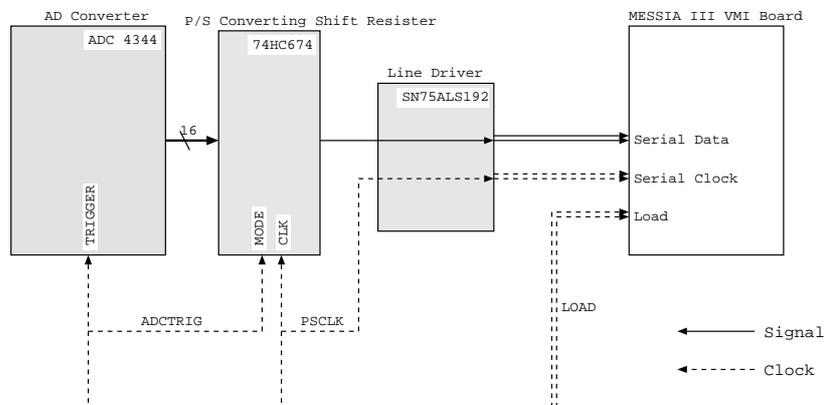


図 4.22: AD コンバータ部の信号とクロックの流れ

クロック名称	機能
ADCTRIG	AD コンバータのトリガ信号 シフトレジスタのロード信号
PSCLK	シフトレジスタのビットクロック VMI ボードのシリアルクロック
LOAD	VMI ボードのロード信号

表 4.11: AD コンバータ部を駆動するためのクロック

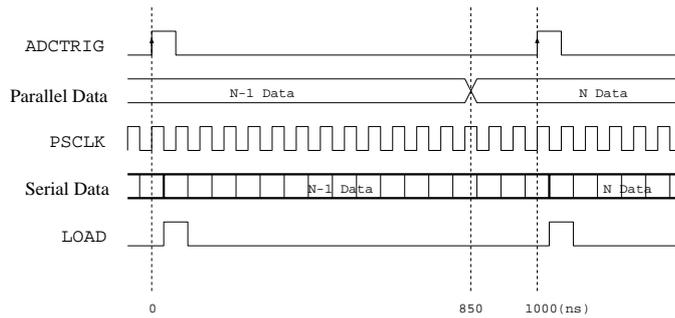


図 4.23: サンプルレート 1MHz での AD 変換のクロックのタイミング図。

74HC674 ADCTRIG が H のとき、verb+PSCLK+ の立ち下がりエッジで入力されている 16 ビットの信号を取り込み、その先頭ビットを出力する。次に ADCTRIG が L のとき、verb+PSCLK+ の立ち下がりエッジでシフトレジスタが一つシフトして次のビットが出力される。元あったビットは最後列に回される。

VMI ボード VMI ボードの入力は、PSCLK の立ち上がりエッジでビットが取り込まれ、LOAD が H のときに PSCLK が立ち上がるとそれ以前の 16 ビットがメモリ上に取り込まれる。

1 回の AD 変換は以下のような手順で行なわれる。ADCTRIG が立ち上がると AD コンバータにトリガがかかって、それから 850ns 程度で変換結果が出力に現れる。次に ADCTRIG が H になったときに PSCLK が立ち下がるとその結果がシフトレジスタに一気に取り込まれ、先頭ビットが出力される。その直後の PSCLK の立ち上がりでそれが VMI ボードに取り込まれ、次の立ち下がりで次のビット...と順に転送されていく。最後に、16 ビット目を VMI ボードが取り込む時に LOAD を H にしておいてこれらの情報がメモリに転送され、これで 1 回の変換が終了する。

図 4.23 にこの手順を図示する。

4.3.6 ハウスキーピング情報処理部

ハウスキーピング情報はアナログスイッチによって切替えられ、AD コンバータへ入力される。図 4.24 に信号とクロックの流れを示す。

モニターする電圧は検出器の電源 HIGH, VDD, BIASPOWER, BIASGATE, VRESET, CELLWELL、ファンアウトボードの FET ソースフォロワへの電圧 VFET, BIAS1, BIAS2, BIAS3, BIAS4、外部電源からの電源電圧 V+, V-, VCC、アナログとデジタルのグラウンド、さらに設計段階ではクライオスタット内の温度計 5 チャンネルのモニターを行なう予定であったので、全部で 21 チャンネルである。この温度計のモニターはその後の変更により、全く独立に準備されることになったため、この回路では利用されない。そのため実際にモニターする電圧は 16 チャンネルである。

これをスイッチするアナログスイッチには 16 チャンネルの HARRIS HI506 を 2 個使い、さらに 2 チャンネルの HARRIS HI303 を挟んで AD コンバータに入力する。

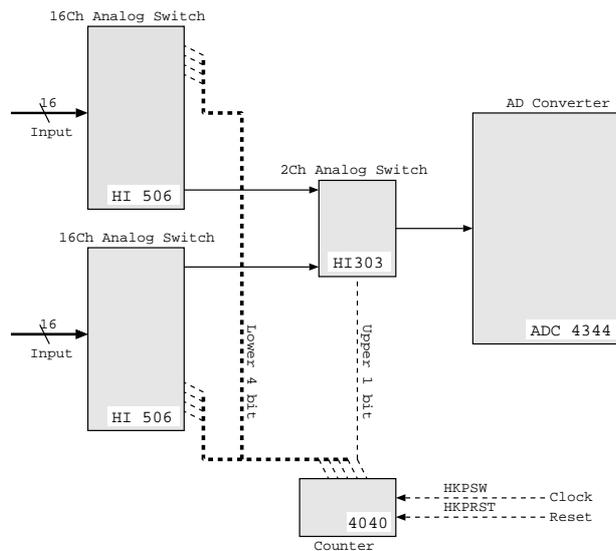


図 4.24: ハウスキーピング情報処理部の信号とクロックの流れ

クロック名称	機能
HKPADCTRIG	AD コンバータのトリガ信号 シフトレジスタのロード信号
HKPPSCLK	シフトレジスタのビットクロック
PSCLK	VMI ボードのシリアルクロック (信号用のクロックと共用)
LOAD	VMI ボードのロード信号 (信号用のクロックと共用)
HKPSW	カウンタの入力クロック
HKPRST	カウンタのリセット信号

表 4.12: AD コンバータ部を駆動するためのクロック

4.3.7 ノイズ対策

フォトカプラ

AD 変換器などを駆動するクロックは、クロックドライバボードから送られてくる。

このクロックドライバは別の銅箱に収められているため、普通にケーブルで接続するとグラウンドループが発生してしまい誤動作の原因にもなりかねない。そのためフォトカプラで電氣的に分離してクロックを受けとるようにした。フォトカプラには HCPL2602 を用いている。フォトカプラで受けとられたクロックはインバータ 74LS14 によって増強されて AD コンバータなどに配分される。このクロックの流れは図 4.28 に示してある。

詳しくは次のクロックドライバボードの節で説明する。

アナログ / デジタルの分離

ADC ボードはアナログのユニットとデジタルのユニットが混在するため、この二つが干渉してアナログ側にデジタルクロックのエッジによるノイズが入らないように注意する必要がある。

このため、回路のグラウンドを完全に分離した。すなわち、グラウンドをアナロググラウンドとデジタルグラウンドに分割し、その二つを接続するのは外部電源のグラウンド端子にすることにより共通インピーダンスのモードで入ってくるデジタルノイズを避ける。

基板のパターンについても ADC 入力フィルタの部分に関してはベタアースにし、回路内での共通インピーダンスと静電結合による影響もできる限り除く。

図 4.25 にグラウンド側のプリントパターンを示す。このパターンで左上の大きくベタアースになっているのがハウスキューピング情報処理部、その下のベタアースが 2 チャンネル分の ADC 入力フィルタである。AD コンバータはそれぞれのベタアースが切れた部分をまたぐように取り付けられる。パターンの右端に縦に 3 つならんでいるのがパラレル シリアル変換シフトレジスタで、それを囲むように這っている幅の広い線がデジタルグラウンドである。図の一番下にクロックの入力を受けるフォトカプラが 6 個ならんでいる。

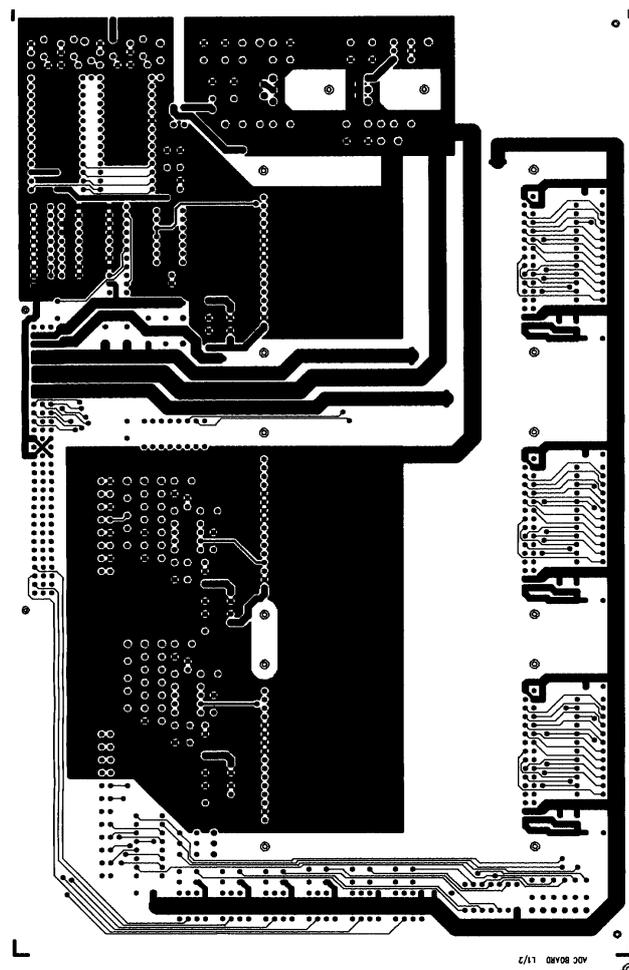


図 4.25: ADC ボードのグラウンド側のプリントパターン

4.4 クロックドライバボード

MESSIA-III の CIC ボードからのクロックパターンは差動で出力される。そのため、検出器に送るクロックはこの差動のパターンからクリーンな 0-5V のクロックを作らなければならない。

また ADC ボードは 2 枚あるため、これらに別々にクロックを供給しなければならない。そのため、この 2 枚のボードに確実にクロックを送るため一度差動のクロックパターンをブーストする必要もある。

クロックドライバボードはこの二つの機能を行なうことになる。表 4.13 にクロックドライバでドライブするクロックをあげておく。

4.4.1 検出器クロックドライバ

検出器の載っているファンアウトボードはできるだけ不要なノイズ源を入れないことが基本になる。

一方、デジタル電源は ADC のクロックを始めとしてさまざまな高速クロックを走らせなければならない。そのため、検出器にこのデジタル電源で作ったクロックを入力するわけにはいかない。そこで、アナログ電源電圧を参照してクロックを作ることになる。このための回路は図 4.26 のようになっている。

CIC ボードから差動で送られてきたパターンは、フォトカプラ HCPL2630 で受けられてアナログスイッチ HI303 に送られる。アナログスイッチの入力には二つのリファレンス電圧、0, 5V が与えられており、入力されたクロックパターンによってこの二つの電圧が切替えられて検出器へ送られるクロックが作られる。

5V のリファレンス電圧は三端子レギュレータで発生させたものをオペアンプでバッファして使用する。

リングング

この回路は始め、抵抗 R_2, R_3 とコンデンサ C_6, C_7 は取り付けていなかった。この状態で実際に駆動させてみると図 4.27 の左のようにチャンネル間でのリングングが起きていることが確認された。

これはオペアンプの出力がアナログスイッチで起こされる電流の変化についていけないため、図 4.27 を見る限りでは深刻なものではない。しかしながら実際に検出器をつないでより多くの電流が必要になった時に誤動作を起こす可能性がある。

そのため、それぞれのリファレンスの 5V とグラウンドの間に $0.1\mu F$ のコンデンサを入

クロックの種類	数	クロック名
検出器用クロック	6	FSYNCH, LSYNCH, CLOCK, LINE, RESETB, READ
ADC ボード用クロック	6	ADCTRIG, PSCLK, HKPADCTRIG, HKPPSCLK, HKPSW, HKPRST

表 4.13: クロックドライバボードでドライブするクロック。

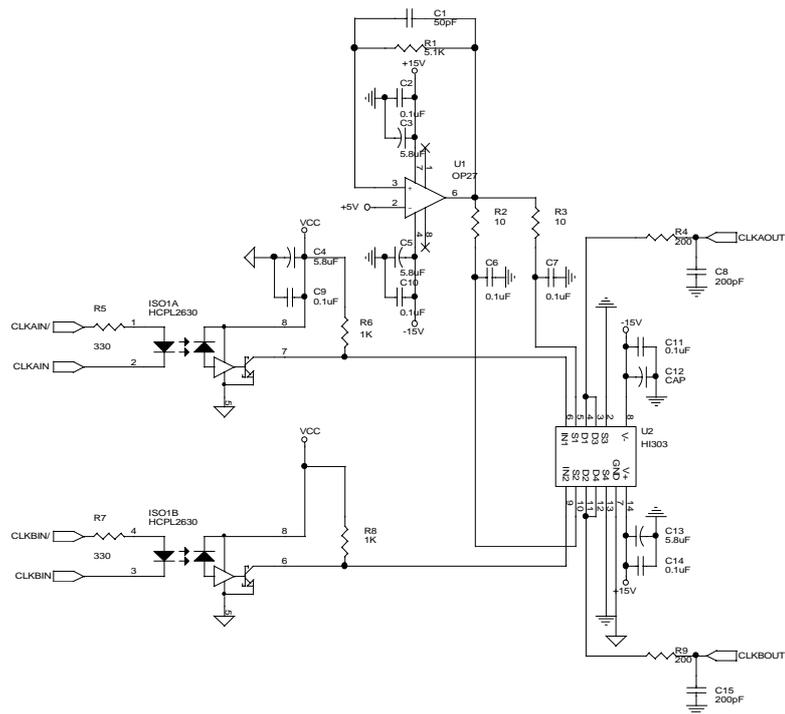


図 4.26: 検出器クロックドライバの回路図

れて電流を吸収するようにした。また、このままではオペアンプの出力に直接コンデンサがぶら下がっていてオペアンプの動作が不安定になり発振しやすいので間に 10Ω の抵抗を入れた。

結果、図 4.27の右のようにリングングの影響は完全になくなった。

4.4.2 ADC クロック

ADC ボードへのクロックの転送はフォトカプラ間の直接の転送となる。

フォトカプラの場合、その信号は電圧が H か L かではなく、電流が流されているかいな

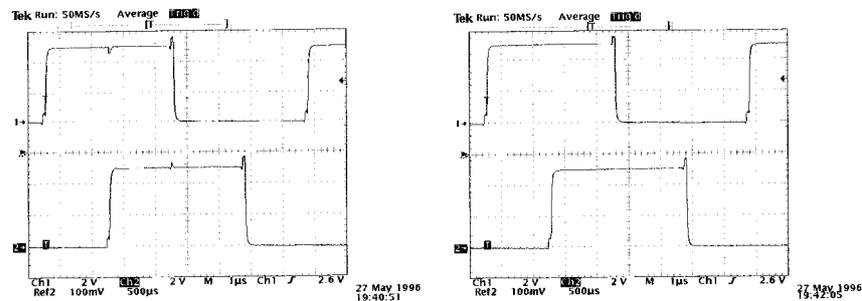


図 4.27: 半位相ずらした二つのクロックを入力した時のクロックの出力のリングング (左) とその対策を行なった後 (右)

いかで伝達される。そこで回路は図 4.28 のように +5V を共通に送り、それにプルアップ抵抗をつけてクロックドライバボードのフォトカプラで電流を流すか流さないかを制御するようにした。

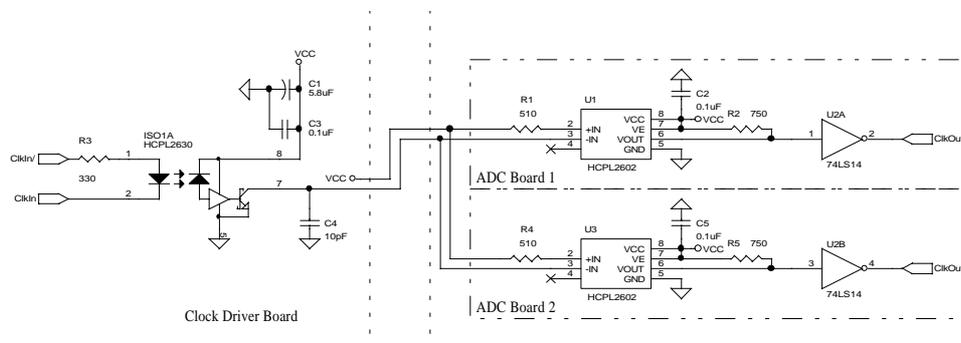


図 4.28: ADC ボードのフォトカプラとの回路図

クロック伝達の遅れ

CIC ボードからの出力が AD コンバータボードに到達するまでには途中でフォトカプラ 2 個とインバータ 1 個がはさまっており、これによる伝達の遅れは無視できない。

これは VMI ボードにデータを転送する際の LOAD 信号だけが上のような経路をとらず、CIC からの差動出力をそのまま入力しているため、LOAD と PSCLK の間に PSCLK の周期以上の時間差が入ると取得されたデータは全体にビットシフトされ、先頭ビットに先のピクセルの最後尾のビットが来てしまうからである。

いま、検出器からの読み出しのピクセルレートは基本的に 250kHz を考えている。この速度だと、AD 変換の間隔は $4\mu s$ で、シリアル転送のクロックの間隔は $4\mu s / 16 = 250\mu s$ となる。すなわち、 $250\mu s$ 以上の遅れが生じるとクロックパターンの方で工夫してその遅れを補正しなければならない。

ADC ボードのいくつかのポイントで差動入力とどれくらい遅れるかを PSCLK で調べたのが表 4.14 である。

これを見る限りでは、ピクセルレート 250kHz は可能である。しかしながらより高速の読み出しはクロックパターンの補正か回路の改造が必要となる。

測定点	立ち上がり遅れ	立ち下がり遅れ
HCPL2602(フォトカプラ) 出力	143(ns)	132
74LS14(インバータ) 出力	169	157
SN75ALS192(ラインドライバ) 出力	(+13)	(+14)

表 4.14: ADC ボード上の各点でのクロックの遅れ。ただし、ラインドライバ出力に関しては測定していないのでカタログ値の最大値を示すにとどめた。

第 5 章

駆動試験

5.1 アナログ増幅部の性能試験

まずは検出器の素子を載せずに、検出器のソケットの入力ピンから信号を入力して回路全体の性能を試験する。

5.1.1 アナログ増幅部分の応答関数

検出器からの出力は FET ソースフォロウ、プリアンプ、ADC 入力フィルタの 3 つの回路 (ここで仮にアナログ増幅部と呼ぶ) を経由して AD コンバータに入力される。一方、検出器はピクセルを順番にスキャンするため、その出力はそのスキャンレートの間隔の階段状になる。そのため、この出力を増幅して正しい値を AD コンバータに入力するためには不連続な出力の変化に対してピクセルレート以下の時間で応答しなければならない。

読み出し速度は $3.8\mu\text{s}$ を想定しているので、この時間以内に AD コンバータの変換精度 (16 ビット) に収まれば良い。

試験は検出器の入力ピンに矩形波を入力し、その応答時間を AD コンバータの入力ピンで確認することにより行なった。

入力の矩形波は $\text{offset}=0.5\text{V}$ 、 $\text{peak-to-peak}=0.30(\text{V})$ 、 $\text{frequency}=300(\text{Hz})$ の矩形波のエッジを用いた。オシロスコープの出力を図 5.1 に示す。これより各チャンネルの 95% 立ち上がり / 立ち下がり時間は表 5.1 のようになった。

AD コンバータの変換精度は式 (4.20) により $1\text{bit}=0.153\text{mV}$ だから出力がこの精度で落ち着くまでの時間を概算する。

ステップ応答の形が ADC 入力フィルタの応答の形と相似であると仮定して概算すると、

Ch.	立ち上がり	立ち下がり
1	845ns	820ns
2	860	790
3	800	730
4	820	735

表 5.1: アナログ増幅部の矩形波に対する 95% セトリング時間。

0.153mV のレベルにまで収束するまでの時間は 95% レベルにまで変化するまでの時間の 2.5 倍程度となる。すなわち、セトリング時間は $2\mu\text{s}$ 程度となり、ピクセルレート $3.8\mu\text{s}$ に比べて十分に長いと考えられる。

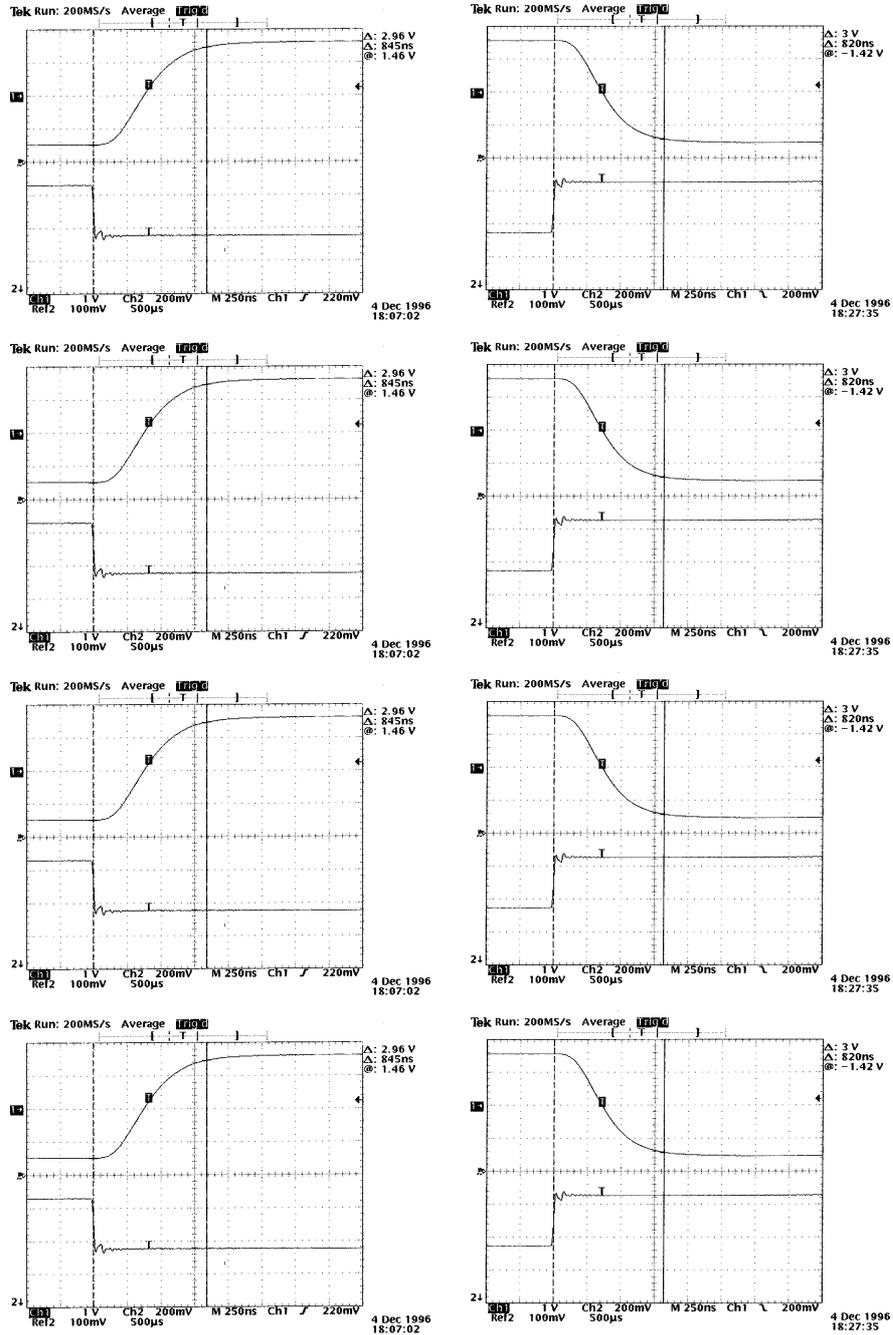


図 5.1: 上段から順に Ch.1,2,3,4 の応答。それぞれ下が入力、上が応答。

5.1.2 FET 入力電圧と ADU

次に乾電池の出力を抵抗分割したものを入力し、それを AD 変換してフレームとして取り込んで、FET ソースフォロワの入力電圧 V_G と ADU の関係を求めた。用いたクロックパターンは test11frp ($5.12\mu\text{s}/\text{pixel}$), test3frp ($2.88\mu\text{s}/\text{pixel}$) の 2 種類。この時、ペアの FET のゲート電圧はバイアスボードは接続していないため 0.5V である。またこの試験は冷却せずに室温で行なった。

測定点は 10 点で、直線

$$ADU = bV_G + a \quad (5.1)$$

で回帰した。測定及びに回帰結果を図 5.2 に、回帰パラメータを表 5.2 に示す。

非線形性

まず、どのチャンネルについても、ADU が回帰直線に対して「凸」にずれているのが明瞭に現れている。これはあきらかに、FET ソースフォロワの非線形性によるものである。そのレベルを $V_G = 0.0\text{V}$ の点と $V_G = 1.0\text{V}$ の点を結んだ直線が $V_G = 0.5\text{V}$ の点とどれくらい離れているかで評価してみる。

AD 変換後はどのチャンネルでも 350~450ADU 程度である。いま、 $1\text{ADU} \sim 0.15\text{mV}$ であるから、AD コンバータ入力時で 53~68mV に相当する。

一方、FET ソースフォロワの出力に関してはこの値は図 4.7 から 4.5mV 程度「凹」になると予想される。その後 10 倍の反転増幅アンプと 1.27 倍の非反転増幅フィルタを通過すると AD コンバータ入力時には 57mV 程度「凸」となり、この試験の結果と一致する。

すなわち、この読み出し時には FET ソースフォロワによる非線形成分が乗ることになる。このことは測光観測をする際には注意しなければならない。

原点ドリフト

クロックの速度を変えると a, b がいずれも変化している。変化の量は a も b も大体 0.2% 以下ではあるが、チャンネル 4 だけが多くてどちらも 0.5% 程度になっている。これがクロックの速度の違いのせいなのか、外的要因によるドリフトなのかははっきりしない。

clk	Ch.	a	b	N
test11frp	1	67601.953125	-67406.234375	10
	2	67673.890625	-67576.203125	10
	3	62919.265625	-68031.460938	10
	4	69958.648438	-66800.859375	10
test3frp	1	67443.359375	-67398.242188	10
	2	67667.421875	-67461.164062	10
	3	62754.089844	-67976.054688	10
	4	70272.843750	-67150.914062	10

表 5.2: V_G -ADU 関係の直線回帰結果

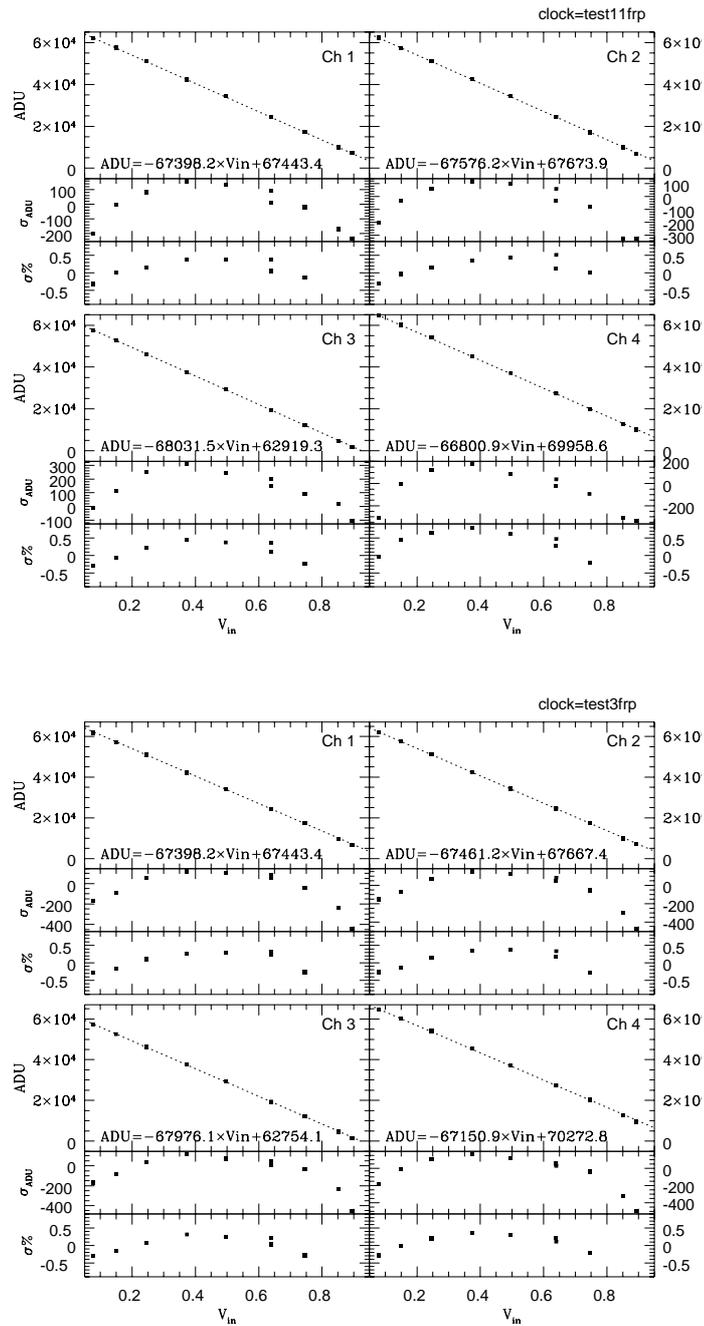


図 5.2: 上が test11frp、test3frp の結果。それぞれ一番上が $V_G - ADU$ 、二段目が直線回帰結果と測定点のずれ (ADU)、三段目がそのずれが測定点の ADU に占める割合。

5.2 検出器なしの読み出しノイズ試験

5.2.1 HAWAII アレイ検出器の読み出しノイズ

読み出しノイズの試験に当たって、HAWAII 検出器自身の読み出しノイズをまず明らかにしておく必要がある。

HAWAII 自身の読み出しノイズは図 B.6 から、数回のマルチサンプリングで $\sim 8e^-$ となることがわかっている。

一方、HAWAII の検出器 1 ピクセルのもつ静電容量は [7] によると逆バイアス (リセット電圧) の値によっても変動するが、0.5V の時に $C_{det} = 34.7 fF$ であった。ここではこの値を用いることにする。

アナログ増幅部のゲインを T 、AD 変換のゲインを $A(V/ADU)$ とすると検出器に貯められた電荷と ADU の関係は

$$1e^- = \frac{e \cdot T}{C_{det} A} (ADU) \quad (5.2)$$

となるから、これらの値を代入すると検出器の読み出しノイズ $8e^-$ は AD 変換後で 2.6 ADU となる。

回路の読み出しノイズの目標値としては、この値が一つに目安になる。

5.2.2 読み出しノイズ試験 I

まず、プリアンプ部よりも AD コンバータ側の回路の読み出しノイズの評価を行なう。

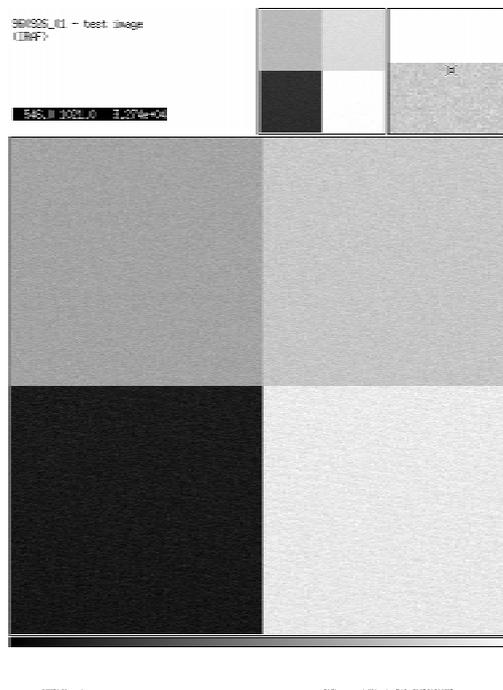


図 5.3: filename=960926_01 : クロック = test1fr(57.6 μ s) で読み出したフレーム。左上から順に、チャンネル 3, 4, 1, 2 となっている。

imagenname	clkname	Ch.	Mean	1 σ
960926_01	test1fr	1	32726	0.9263
		2	32747	1.033
		3	32740	0.9035
		4	32743	0.921
960926_02	test1fr	1	32728	0.9625
		2	32749	1.039
		3	32741	0.9309
		4	32747	0.9284
960926_03	test11frp	1	32728	1.443
		2	32750	2.396
		3	32753	1.035
		4	32757	1.085
960926_04	test11frp	1	32728	1.459
		2	32750	2.405
		3	32753	1.035
		4	32757	1.097
960926_05	test3frp	1	32728	1.566
		2	32750	2.265
		3	32740	1.588
		4	32748	1.472
960926_06	test3frp	1	32728	1.567
		2	32750	2.266
		3	32740	1.631
		4	32749	1.445

表 5.3: オペアンプの入力を両方共にグラウンドしたフレームの ADU 平均と読み出しノイズ (1σ)。

実験はプリアンプの差動入口の両入力端子を GND に落とし、AD コンバータの入力が 0V になるようにして変換を 512×512 回行った。これによりちょうど 1 フレーム分の情報が読み込まれ、それをイメージファイルとして保存して解析を行なうことができる。

用いたクロックパターンは、AD コンバータのみを駆動させるクロックで test1fr ($57.6\mu\text{s}$)¹, test11frp ($5.76\mu\text{s}$), test3frp ($4.4\mu\text{s}$) の 3 種類である。

読み込み結果

読み込んだフレームの一例を図 5.3 に示す。チャンネルによって色が違うのはオペアンプのもっているオフセットである。

さらに得られたフレームのサンプリングクロック、ADU の平均値とその 1σ 揺らぎを表

¹このクロックは現在 MESSIA-III のクロックパターンリストからは削除されている。

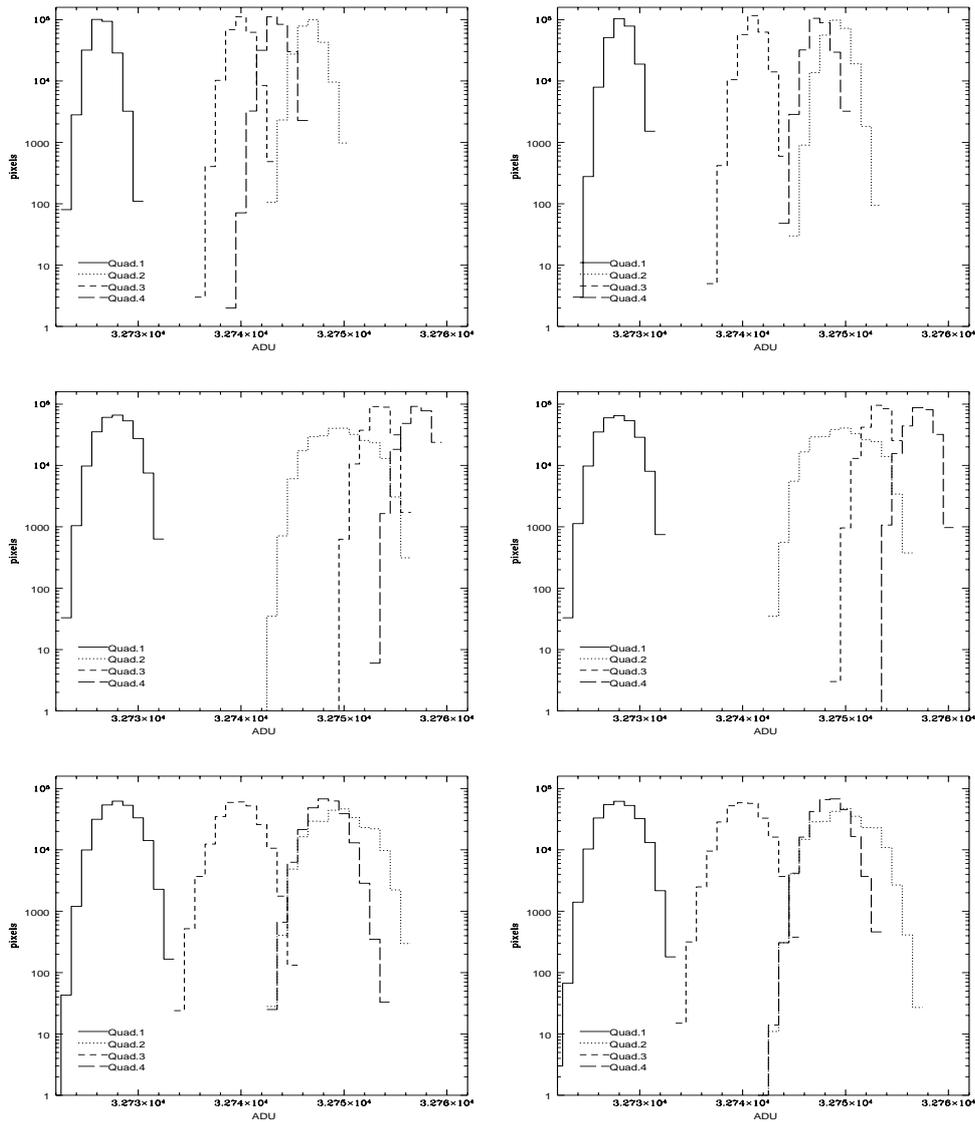


図 5.4: quadrant 別のヒストグラム。左上から順に、960926_01 ~ 960926_06 である。上段から 17.3(kHz), 173(kHz), 227(kHz) となっている。

5.3、ヒストグラムを図 5.4に示す。今後、この 1σ 揺らぎを読み出しノイズと呼ぶことにする。

まずノイズに関しては、クロックが $\text{test11frp}(5.76\mu\text{s})$ のときを見ると 2チャンネルだけが 2.5 ADU と高い値を示しているものの、その他は $1\sim 1.5\text{ADU}$ で、十分に低い。チャンネル間の違いについては原因は良くわからないものの、半田付け不良による接触抵抗が一つ考えられる。

一方、ADU の平均値についてはクロックパターンによって 10ADU 程度変動する。このドリフト原因は良くわからないが、実際に使用する上での影響は無視できる。

以上より、読み出しノイズに多少ばらつきがあるものの読み出し回路のオペアンプ以降の部分についてのノイズ性能は問題ないと結論づけられる。

5.2.3 読み出しノイズ試験 II

引続き検出器がない状態での読み出しノイズを評価する。

試験は乾電池の電圧を抵抗分割したものを FET ソースフォロワの入力口に与え、その状態で検出器を駆動するクロックを入力してフレームとして読み込むという方法をとった。

また、プリアンプボード、ADC ボード、クロックドライバボードは銅のシールド箱に収められているものの FET ソースフォロワが載っているファンアウトボードは外部に出したままの状態で行なった。バイアスボードは接続し、用いるクロックは検出器駆動用のクロックである scan を用いる。さらに実験室の蛍光灯からのノイズが考えられたので蛍光灯をつけた時とつけなかった時の二つの条件で読み込みを行なった。

読み出しノイズ

まず各チャンネルの ADU の平均値とその 1σ 揺らぎを求めたのが表 5.4 である。さらに、それぞれのフレームのヒストグラムを図 5.5 に示す。

これによると、読み出しノイズは Ch.1 でもっとも少なく 3ADU 程度なのに対し、Ch.4 ではその倍以上の 6.5ADU もある。

また、蛍光灯は消すとほんの僅か読み出しノイズが減る傾向は見られるものの、逆に増えている場合もあり、この表からはその影響ははっきりとはしない。

いずれにせよ、プリアンプの入力口をグラウンドにショートした時に比べて読み出しノ

imagename	clkname	蛍光灯	Ch.	1σ	Mean
961216_01	scan	on	1	3.044	15500
			2	4.735	15769
			3	3.551	10411
			4	6.618	18555
961216_03	scan	on	1	3.045	15500
			2	4.747	15771
			3	3.857	10401
			4	6.537	18544
961216_05	scan	off	1	2.944	15496
			2	4.609	15771
			3	4.072	10413
			4	6.388	18544
961216_07	scan	off	1	2.923	15499
			2	4.658	15771
			3	3.550	10415
			4	6.370	18544

表 5.4: FET ソースフォロワに乾電池で定電圧を入力したフレームの ADU 平均と読み出しノイズ。

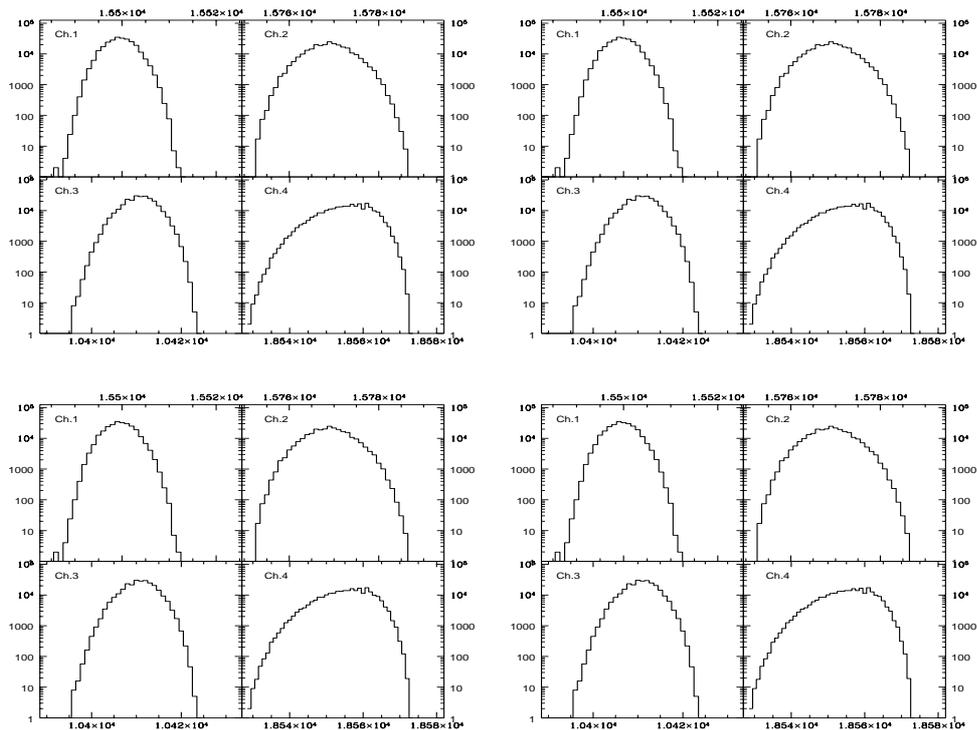


図 5.5: 各フレームのヒストグラム。左上から順に、961216_01, 961216_03, 961216_05, 961216_07 である。

イズが3倍にも増加してしまっているのがわかる。これはファンアウトボードはデューアにも入れられずにノイズの多い外部環境に置かれており、その環境をシールドしているとはいえ数十 cm もケーブルを引き廻しているせいなのは間違いない。

評価

この読み出しノイズが実際にはどれくらい良いものなのかを考える。

検出器からの読み出しノイズが $8e^-$ であると仮定する。回路の読み出しノイズとあわせて、システム全体としての読み出しノイズはその自乗和であると考えられるのでそれから単純に全体の読み出しノイズを予想すると表 5.5 のようになる。

今回の試験でもっともノイズの低かったチャンネル 1 の場合、回路の読み出しノイズが 3ADU で全体の読み出しノイズは $12e^-$ 程度と比較的良好な値を返している。しかし目標の 10ADU を切るまでには至っていない。

一方、最もノイズの高いチャンネル 4 では全体の読み出しノイズは 20ADU を越えてしまっており、これでは実際に用いるにはノイズが大き過ぎる。

この試験はファンアウトボードをクライオスタットに入れず、かなりノイズの高い環境で行なっているため単純に評価はできないものの、チャンネルごとに読み出しノイズに大きなばらつきがあることを考えるとさらなるノイズ対策が必要であると考えられる。

回路の読み出しノイズ		全体の読み出しノイズ
ADU	e^-	e^-
3	9.2	12.2
3.5	10.8	13.4
4	12.3	14.7
4.5	13.8	16.0
5	15.3	17.3
5.5	16.9	18.7
6	18.4	20.1
6.5	19.9	21.4

表 5.5: 検出器を含めた読み出しノイズの予想。

5.2.4 ノイズの周波数成分

この試験で取得されたフレームには各ピクセルに時系列に沿った入力格納されており、これを解析することによりノイズの周波数成分を知ることができる。

ここでは、このノイズの中で電源線からの 60Hz 成分や蛍光灯からの 120Hz 成分の寄与がどれくらいあるかということの評価をする。

フーリエ変換

いま、例えば N ピクセル分のデータ点 $h_k (0 \leq k \leq N - 1)$ があるとしよう。このサンプリング間隔を Δ であるとする。これにフーリエ変換

$$H_n = \sum_{k=0}^{N-1} h_k e^{2\pi i k n / N} \quad (5.3)$$

をかけてやれば、 H_n に対応する周波数 f_n は

$$f_n = \frac{n}{N \Delta_{real}} \quad (5.4)$$

となり、そのパワースペクトル密度は

$$P_n = |H_n|^2 \quad (5.5)$$

で与えられる。

実効サンプリングレート

MESSIA-III の CIC ボードに用いられているクロックパターンを制御する DSP はハードウェア・ループを備えているため、単一のループを繰り返している限りはオーバーヘッドは生じない。

しかしながらループに入る時や出る時はオーバーヘッドが生じてしまう。先の二つのノイズ試験で用いたクロックパターンのうち、test1fr, test11frp, test3frp については単一のループで組まれているためオーバーヘッドが生じる心配はないが、検出器駆動用

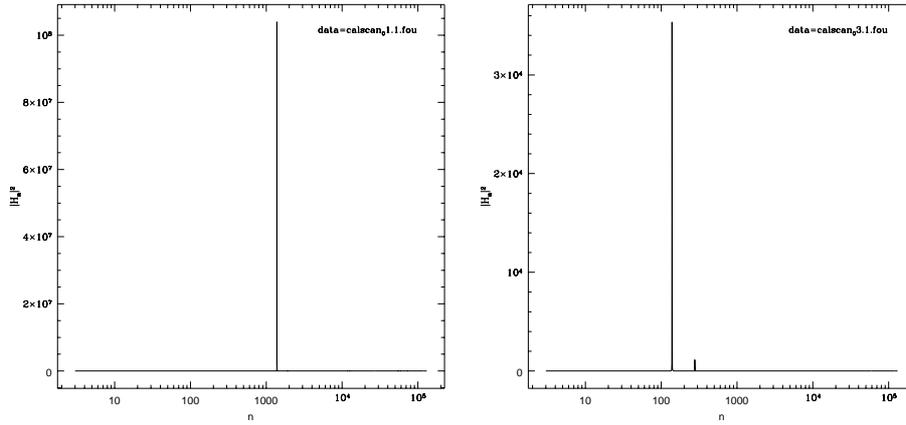


図 5.6: clkname=scan のときの $P_n - n$ 。左が 1(kHz) の sin 波を入れた時、右が 100(Hz) の波を入れた時。

のクロックパターンであるscan は二重ループで構成されるため、オーバーヘッドが入ることになる。ここではそのオーバーヘッドを含めた実効的なサンプリング・レートを測定する。

測定方法は、function generator で単一周波の sin 波を入力し、それを AD 変換したイメージの各ピクセルの値をサンプル順に並べ、それにフーリエ変換を施して出てきたピークが入力周波数に等しくなるようにサンプリング間隔 Δ を決めるというものである。

実際の計測では入力波は offset=0.5(V), 振幅=0.2(V), 周波数は 1(kHz) と 100(Hz) の 2 種類で、これを FET ソースフォロワのチャンネル 1 に入力して AD 変換し、取り込んだフレームの全ピクセル (512 × 512) を用いた。

また、scan, fast_scan の 2 種類のクロックについて測定した。

結果は表 5.6, 5.7 の通りである。CIC ボードのクロックパターン上でのピクセルレートを Δ_{pat} 、実測されたピクセルレートを Δ_{real} としている。また、パワースペクトル密度 - n のグラフを図 5.6, 5.7 に示す。

input frequency	n_{max}	$\Delta_{real}(\mu s)$	$\Delta_{real} - \Delta_{pat}(\mu s)$
1.00(kHz)	1380	$5.26 \pm 0.0038 \times 10^{-6}$	$1.4 \pm 0.038 \times 10^{-7}$
0.100(kHz)	139	$5.30 \pm 0.038 \times 10^{-6}$	$1.8 \pm 0.38 \times 10^{-7}$

表 5.6: clkname=scan, $\Delta_{pat} = 5.12(\mu s/pix)$

input frequency	n_{max}	$\Delta_{real}(\mu s)$	$\Delta_{real} - \Delta_{pat}(\mu s)$
1.00(kHz)	790	$3.01 \pm 0.0038 \times 10^{-6}$	$1.3 \pm 0.038 \times 10^{-7}$
0.100(kHz)	80	$3.05 \pm 0.038 \times 10^{-6}$	$1.7 \pm 0.38 \times 10^{-7}$

表 5.7: clkname=fast_scan, $\Delta_{pat} = 2.88(\mu s/pix)$

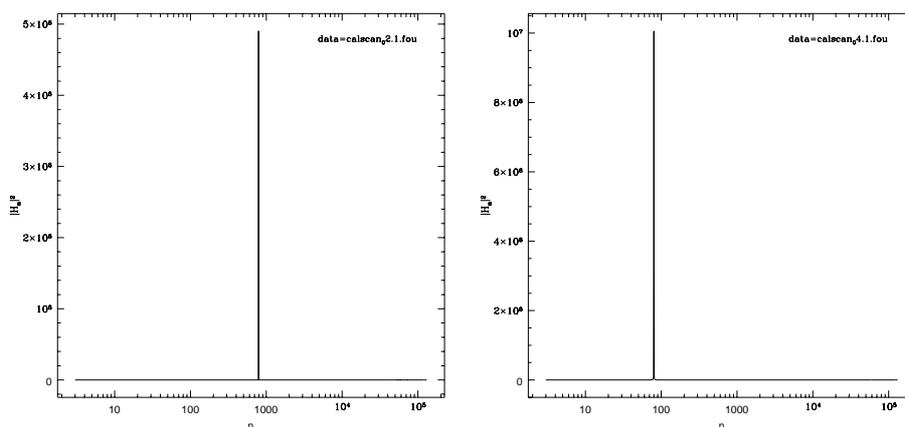


図 5.7: `clkname=fast_scan` のときの $P_n - n$ 。左が 1(kHz) の sin 波を入れた時、右が 100(Hz) の波を入れた時。

100Hz の矩形波を入力したのものについては周波数分解能が十分ではなかったもので、1.0kHz の矩形波入力のものを見ると、どちらのクロックについてもピクセルレートに $0.13 \sim 0.14 \mu\text{s}$ の遅れが生じているのがわかる。この遅れの量がクロックスピードに関係せずにほぼ一定であることからオーバーヘッドによるものと考えて良いだろう。

このあとは `scan` のピクセルレートは $5.26 \mu\text{s}$ として進めていく。

読み出しノイズ試験 I のノイズの周波数成分

先に行なった、プリアンプの入力を共にグラウンドに落しての読み込み試験のフレームのノイズの周波数成分を調べた。フーリエ変換を行なったのは 960926_01, 960926_03, 960926_05 の 3 フレーム。それぞれ `test1fr`, `test11frp`, `test3frp` のクロックによって取り込まれたものである。

結果を図 5.8 に示す。

まず、電源の 60Hz 成分のピークは 960926_01 では見られるものの、クロックを早くするとほとんど見られなくなっている。また、蛍光灯の 120Hz 成分についても同様で、ピークが見えている場合についてもその強度は全体のノイズの総和に対する割合は極めて少ない。このことから一概に言えるわけではないが、外来電磁波による影響はとりあえず遮断できていると考えられる。

また、これらのフレームのうち、特に 960926_03, 960926_05 のフレームのチャンネル 2 のノイズが他のチャンネルに比べて 2 倍ほど多かったが、この原因は何か特定の周波数成分を拾ったためではなく、全体的にノイズ成分が増えたせいであることがわかる。

読み出しノイズ試験 II のノイズの周波数成分

次に、FET ソースフォロワの入力に乾電池で定電圧を与えて得たフレームの周波数成分を見る。これに関しては、蛍光灯をつけていた時と消した時の二つのフレーム 961216_01, 961216_05 についてのフーリエ変換を行なった。

結果は図 5.9 である。

これから、蛍光灯を消すことによってそれ以前には現れていた 120Hz のピークがほとんど消滅したことがわかる。やはり、長く引き回していたケーブルが蛍光灯からの電磁波放射を拾っていたのである。しかしその強度はそんなに強くはなく、全体のノイズレベルにはほとんど寄与しない。

また、この読み出しではチャンネル 4 のノイズレベルが他に比べて倍近くもあったが、このノイズ源も特定の周波数成分からの寄与ではなく、白色ノイズレベルが上昇したためであることがわかる。

他にもチャンネル 2 に 60Hz 成分のピークが見えていることから、おそらく電源線からノイズが侵入していると考えられる。

5.2.5 まとめ

以上の結果をまとめると以下ようになる。

- HAWAII 素子のノイズレベルはマルチサンプルをすることにより $8e^-$ 程度となり、これは変換してメモリ上に取り込むと 2.6ADU に相当する。回路からの読み出しノイズの寄与はこれ以下にすることを目標とする。
- プリアンプ部以降のノイズレベルはクロックの速度にもよるが大体どのチャンネルでも 1~1.5 ADU 程度である。ただ、チャンネル 2 だけは多くてこの倍近くある。
- FET ソースフォロワを含めた時のノイズレベルはどのチャンネルも 3.0 ~ 6.5ADU レベルに跳ね上がる。読み出しノイズがこのレベルでは実際に用いるには高過ぎるが、ファンアウトボードをクライオスタットに入れて外部環境の影響をシールドすればもう少し下がるかもしれない。
しかし、チャンネル間のノイズレベルが 2 倍以上もばらついているため、さらなるノイズ対策が必要であると考えられる。
- これらの結果をフーリエ変換して周波数成分を見たところ、FET ソースフォロワからの読み込み試験の時は蛍光灯からの 120Hz 成分が乗っていた。ただしその強度は全体のノイズレベルのほんの一部である。

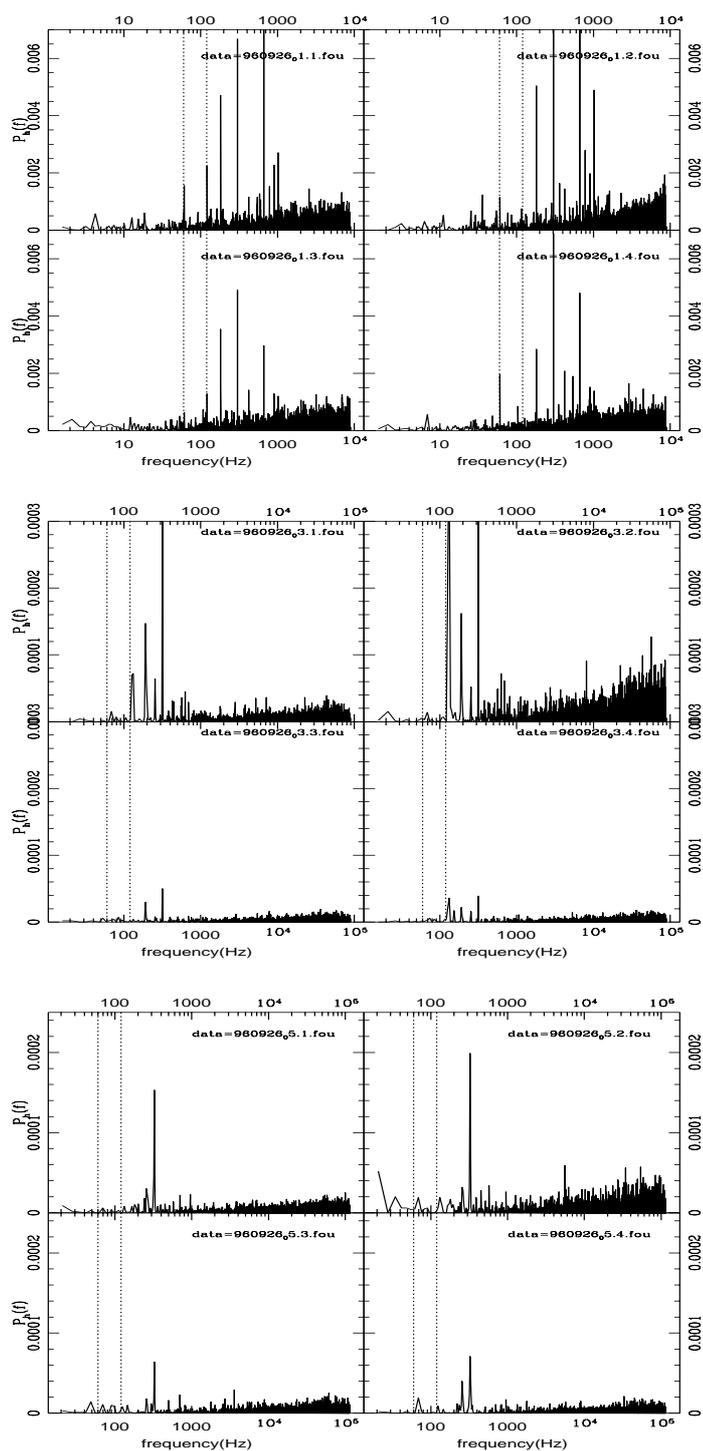


図 5.8: 読み出しノイズ試験 I の各フレームのノイズの周波数成分。上から順に、クロックが test1fr, test1frp, test3frp のときの結果。また、それぞれのグラフで左上から順にチャンネル 1, 2, 3, 4 となっている。どのフレームもチャンネル 2 のノイズレベルが高くなっているのがわかる。

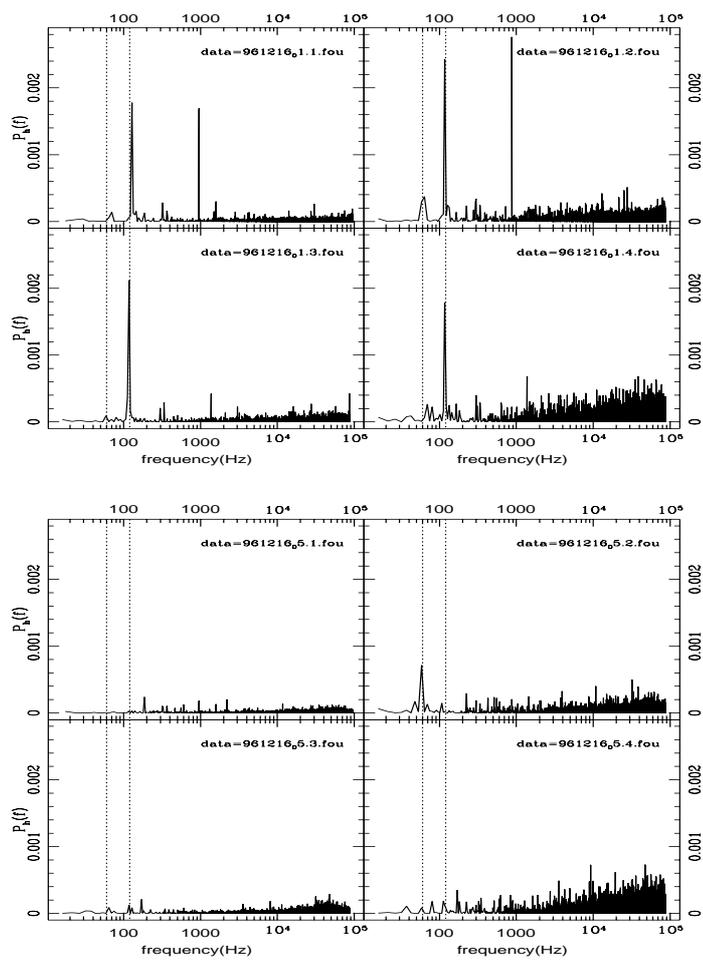


図 5.9: 読み出しノイズ試験 II のノイズの周波数成分。上が蛍光灯を灯けている時、下が消した時。120Hz 成分がほとんどなくなるのがわかる。

5.3 常温でのマルチプレクサ駆動試験

ここでは検出器からの読み出し部であるマルチプレクサだけの素子をファンアウトボードに載せ、それを冷却試験用のテストデューワーに入れたうえで常温で行なった駆動・読み出し試験の結果を報告する。

5.3.1 1回目の読み出し試験

ファンアウトボードへの取り付け

検出器のファンアウトボードの取り付け方は、ソケットに素子を載せ、上から金属の治具で押えつけて固定するというものである。

この方法でマルチプレクサを取付けて電源を入れたところ、大電流が流れて電源のリミッタスイッチが動作した。

一度電源を切って原因を究明したところ、素子を上から押えつけている治具の締め付けが弱かったため一部のピンがソケットピンと接触していなかったためであることが判明した。

治具を十分に締め付けて再度電源を入れたところ、今度は正常な電流値になった。

フレームイメージ

この状態で読み出したフレームを図 5.10 に示す。クロックは各列を読み始める前にリセットをかける `reset_scan` である。

これからまずわかるのは右下及びに左上のコドラント（それぞれチャンネル 2, 3 に対応）には何か変な縦縞模様があるということである。さらにこのフレームからではわかりにくいのだが、それぞれのコドラントの右端の方ではサチュレーションが起こっており明らかに AD コンバータの入力レンジ ($\pm 5V$) を越えた値が入力されている。

また、右上及びに左下のコドラント（それぞれチャンネル 4, 1 に対応）は一見平坦でちゃんとした値を返しているように見えるが、これに関しても AD コンバータの入力レンジを越えた値が入力されてサチュレーションを起こしている。

AD コンバータへの入力

そこで AD コンバータの入力電圧をオシロスコープでモニターしながらクロック `non_stop` を走らせたところ、やはり入力電圧が AD コンバータの入力レンジを大幅に越えていることがわかった。波形は図 5.12 と同じで、どうやらマルチプレクサは正常に動作して信号を出力している模様ではあるが、その DC レベルは AD コンバータの入口で以下のようになっていた。

チャンネル 1, 4 : ペア FET のバイアス電圧を調整しても最高 $-8V$

チャンネル 2, 3 : ペア FET のバイアス電圧を調整しても最高、
列の始めて $0V$ 、列の終わりで $-10V$

つまり AD コンバータの入力が - 側に振れ過ぎているため、アナログ増幅回路部が反転増幅を行なうことを考え合わせるとこの原因はマルチプレクサからの出力が正に振れ過ぎているためであると考えられる。

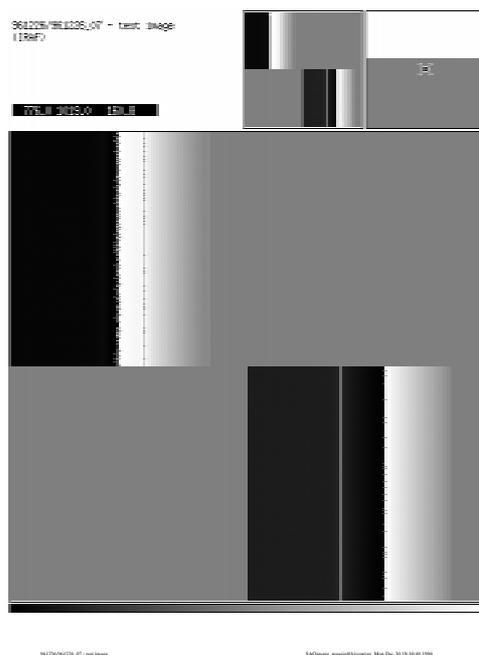


図 5.10: clk=reset_scan で読み出した結果。

原因

それではなぜマルチプレクサからの出力がそんなに大きくなったのだろうか？

マルチプレクサ 1 ピクセルの内部回路は付録の図 B.4のようになっている。

この回路は、READ が High になっていてVERTICAL RESISTER とHORIZONTAL RESISTER があるピクセルを選択する (FET2 とANALOG SW が ON になる)。そうするとそのピクセルにつながっている検出器の電位 (DETECTOR) がFET1 のソースフォロワでOUT に現れる。この時にFET4 がこのソースフォロワのソース抵抗の役割をしており、この抵抗値の大きさにOUT に現れる出力の DC レベルとFET1 のソースフォロワのゲインが決定される。この疑似的な『抵抗値』はBIASGATE によって決定される

今回の試験ではこのBIASGATE の値を Rockwell 社のマニュアルに記載されていた値である 3.5(V) に設定していた。しかしながらこの値はおそらく検出器の駆動温度である 77(K) のときの最適値であると考えられる。

温度が高いと半導体のインピーダンスは小さくなるため、このFET4 の抵抗値が小さくなりBIASPOWER(5(V)) へのプルアップが強くなって出力レベルが高くなると考えられる。

この推論はマルチプレクサからの出力 DC レベルが想定していたものよりも高い、ということと一致している。

5.3.2 2 回目の読み出し試験

先の試験の考察により、BIASGATE を可変にして再度読み出し試験を行なう。

フレームイメージ

BIASGATE を変えてとったフレームのイメージを図 5.11に示す。

左上から順に $V_{BIASGATE} = 3.7, 4.0, 4.5(V)$ のときのイメージである。 $V_{BIASGATE} = 4.0, 4.5(V)$ のときに左下と右上のコドラント（チャンネル1, 4）がサチュレーションを起こさなくなった。

AD コンバータへの入力

さらに、このフレームの AD コンバータへの入力電圧をモニターした。 $V_{BIASGATE} = 4.0(V)$ のときの結果を図 5.12 に示す。クロックは `reset_scan` である。

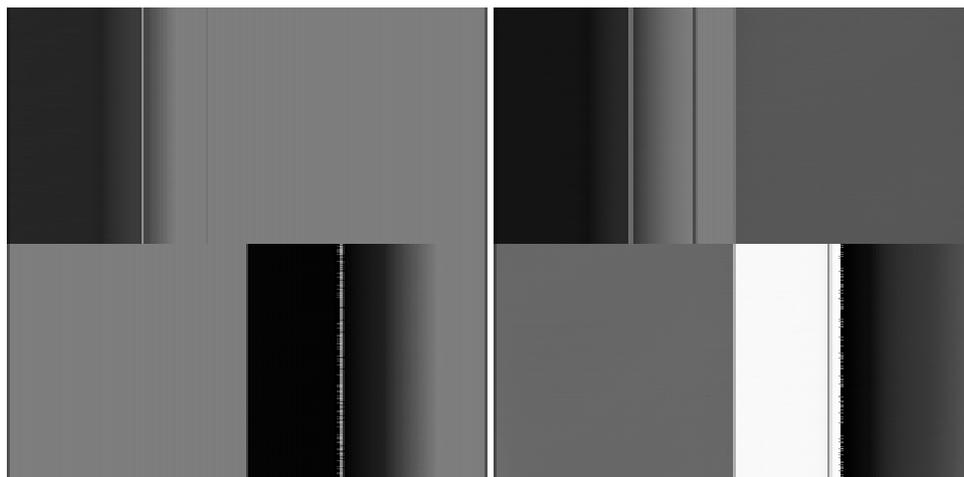


図 5.11: BIASGATE の電圧を色々変えたときのフレーム。左上から順に $V_{BIASGATE} = 3.7, 4.0, 4.5(V)$ のとき。 $4.0, 4.5(V)$ のときにチャンネル1,4のコドラントがサチュレーションを起こさなくなった。

波形は前回の実験の時の波形の DC レベルを 0 付近に移動させた状態になっている。すなわち、前回チャンネル 1,4 がサチュレーションを起こしたのはやはり $V_{BIASGATE}$ の値に問題があったためとかがえて良いだろう。

しかしながらチャンネル 2, 3 で相変わらず見られる、列の後半で出力レベルが急激に減少していく現象の原因は良くわからない。おそらく、一番初めにマルチプレクサを取り付けた時に流れた大電流で壊れたためではないかと思われるが、良くはわからない。

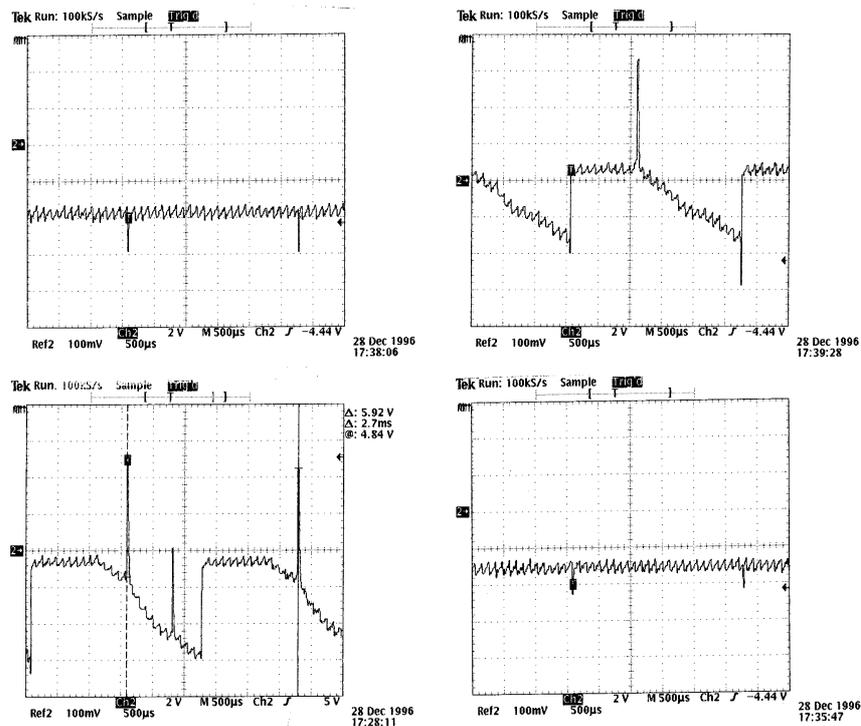


図 5.12: 左上から順に Ch.1~4 の ADC の入力波形。単位繰り返しが 1 列を表す。クロックは reset_scan。Ch.1,4 は正常なものの、Ch.2,3 はリセットをかけているにもかかわらず何か変な傾斜が現れているのがわかる。

5.3.3 レーザスポット試験

マルチプレクサには HgCdTe の検出器はついていないものの、シリコンチップであるため光に感度を持っている。

一方マルチプレクサについては、チップのどのピクセルからどの方向に向かって読み出させるや、どのコドラントがどのチャンネルに対応するのかなどの情報が不明のまま、実際に先の実験で示したフレームのイメージはこのような情報を適当に仮定して表示しているだけのものである。

そこで、マルチプレクサが光に感度があることを利用する。つまり、ハンドレーザーポインタでマルチプレクサ上にスポットを入射して上記のような情報を取得することを目的にこの実験を行なった。

レーザに対する感度

マルチプレクサの駆動に用いたクロックはリセットをかけながら読み出すreset_scanである。このクロックによってリセットをかけられているにも関わらず、レーザスポットの像が確認された。

まず、チャンネル1, 4のフレームを図5.13に示す。入射したレーザスポットが白くきれいに写っているのがわかる。また縦に黒く筋が伸びているが、これはレーザによってピクセル上ではなく、マルチプレクサのvertical bus上に励起された電荷ではないかと考えられる。

一方のチャンネル2, 3であるが、各列の初め(コドラントの右側)と終り(左側)では光に対する感度に違いが見られた。そのフレームを図5.14に示す。

つまり、各列の初めの方ではピクセルは光に対してはほとんど感度を持たず、おそらくvertical bus上に励起された電荷だと思われる黒い縦の筋しか見えない。一方、列の終りの方では背景のレベルには強い傾斜がついているものの、レーザスポットがはっきりと確認される。

この原因については良くわからないものの、ピクセルのFETのいずれか(図B.4のFET1, FET2, FET3のいずれか)が壊れたせいではないかと考えられる。

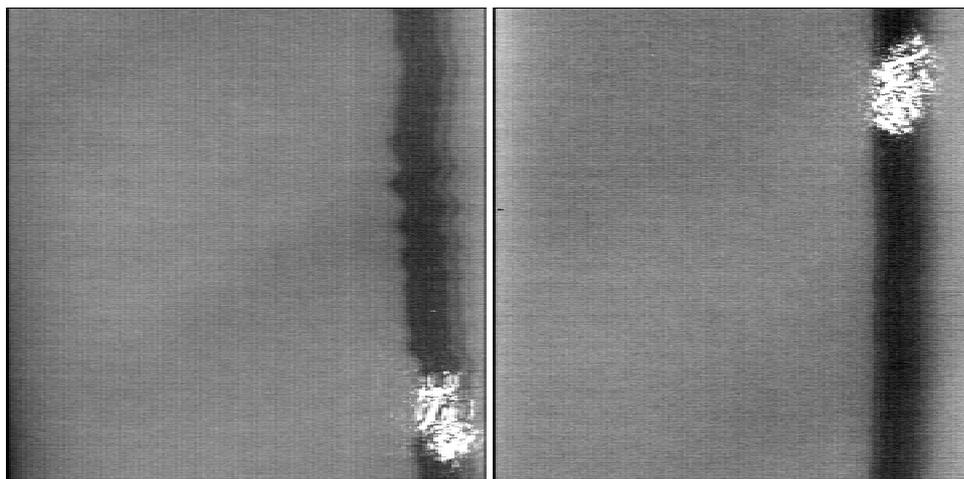


図 5.13: 左が ADC Ch.1、右が ADC Ch.4 のフレーム。

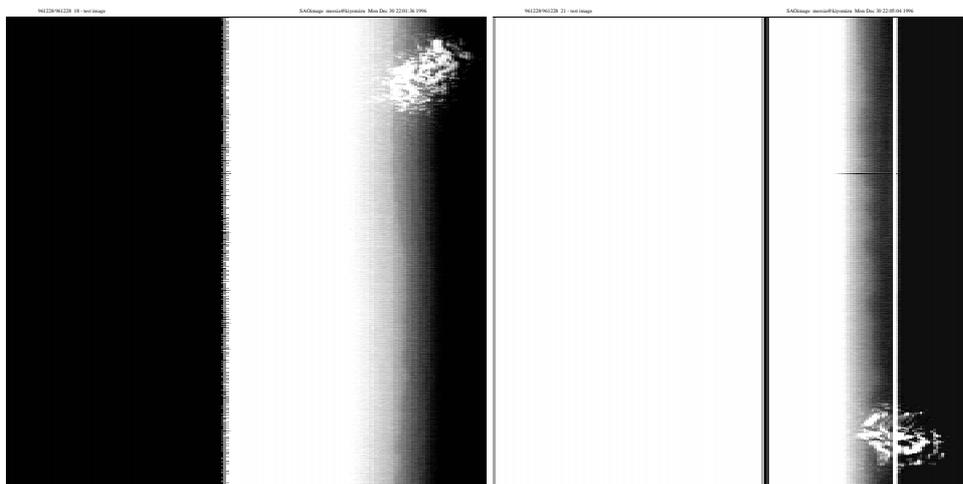
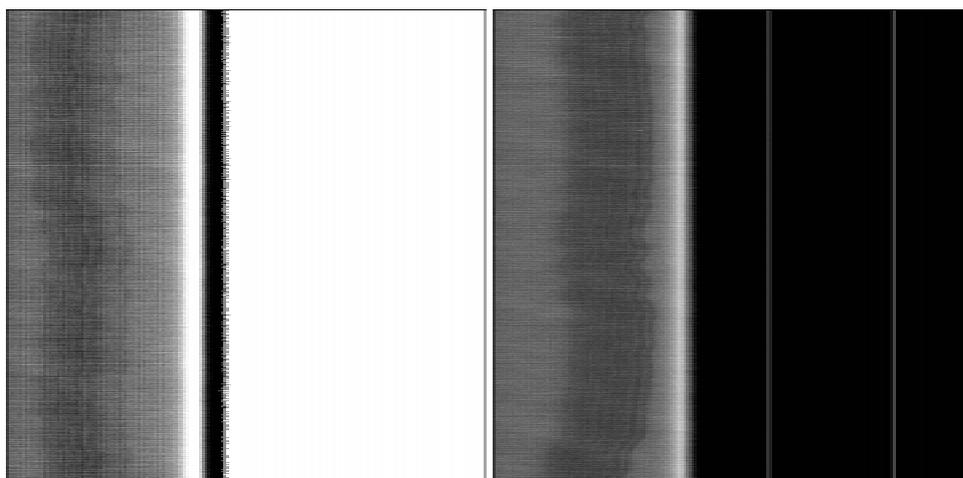


図 5.14: 左が ADC Ch.2、右が ADC Ch.3 のフレーム。それぞれ上がコドラントの左側にレーザースポットを入射したもの、下がコドラントの右側にレーザースポットを入射したもの。右側にレーザースポットを入射したものはその像がはっきりと確認される。

マルチプレクサ上のピクセルの並び

マルチプレクサの各コドラントの3隅にレーザースポットを入射することにより、各コドラントとチャンネルの対応、及びに各コドラントのピクセルの読み出しの順番がわかった。その結果を図 5.15 に示す。

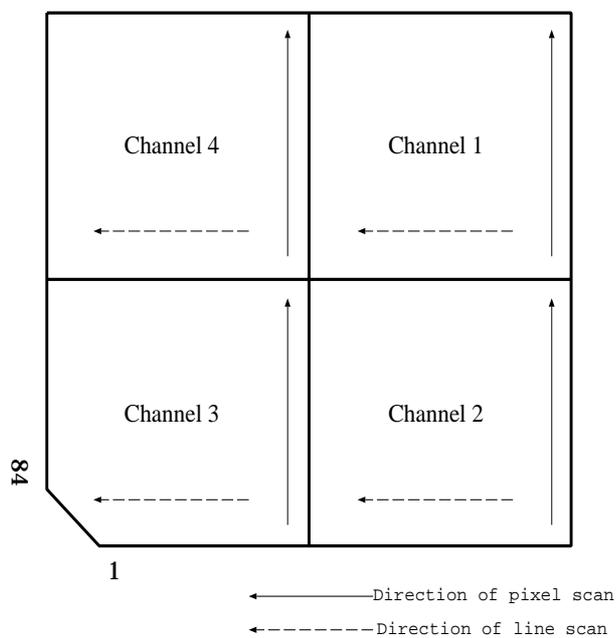


図 5.15: マルチプレクサの各コドラントと AD 変換のチャンネルの関係と、ピクセル読み出しの方向。

第 6 章

今後の展望と課題

6.1 今後の計画

現時点でこの回路システムは一応の完成を見ており、今後はその改良と HAWAII アレイ検出器の性能評価を行なってゆく予定である。さらに 1997 年末から CISCO を国立天文台の赤外シミュレータに取り付けての試験観測を行ない、1998 年の前半にハワイのすばる望遠鏡に搬入してすばるのファーストライトを迎えることになる。

ここでは CISCO の試験観測までに検出器まわりで行なっていかなばならない項目を簡単に述べる。

6.1.1 マルチプレクサ冷却試験

現在ほぼその製作を終了している検出器冷却試験用のテストデュワーを冷却し、液体窒素温度 (77K) での読み出し試験を行なう。この試験で、回路が低温でも正常に機能するか確認すると共に、読み出しノイズやアナログ増幅部のゲインなどの評価を行なう。

6.1.2 エンジニアグレード検出器の性能評価

マルチプレクサが正常に駆動できることが確認できれば次にエンジニアグレードの検出器をテストデュワーに取り付けて、その読み出し性能や量子効率の評価を行なう。

これでエンジニアグレードの検出器の性能を把握したのち、CISCO 本体に取り付けてその光学性能の評価などを行なってゆく。

6.1.3 サイエンスグレード検出器の性能評価

HAWAII アレイ検出器は、熱膨張率のちがう HgCdTe の検出器とシリコンのマルチプレクサをインジウムでつなぎ合わせるという構造を持っているため、冷却サイクルを注意して行わないと検出器が剥がれてくる恐れがある。

そのため本番用のサイエンスグレードの検出器はテストデュワーでの試験は行わず、直接 CISCO 本体に取り付けて必要最小限の冷却サイクルのみでその性能評価を行なう。

6.2 今後の開発の課題

ここでは現時点でこの回路が持つ問題点と、今後の開発の課題を述べる。

6.2.1 LOAD クロックの伝達方法

現在、VMI ボードに 16 ビットの信号を取り込むように命令しているLOAD 信号は他の AD 変換まわりのクロックと違って CIC ボードから直接 VMI ボードに入力されるようになっている。

他のクロックは二つのフォトカプラと一つのインバータ、それにラインドライバを経由しているためLOAD は他のクロックに比べて 170~180 ns 程先行して入力されてしまう。

この値はピクセルのサンプリングレートが遅い時は問題ないものの、速度を上げていくとビットのずれを生じてしまい、クロックパターンの製作時に注意が必要になってくる。

これを解決するためにLOAD 信号を他のクロックと同じ様にして VMI ボードに入れるよう、クロックドライバボードと ADC ボード、それにマザーボードを再製作する必要がある。

6.2.2 プリント基板パターンの再設計

先に述べたクロックの他にも、回路自身にもいくつかのバグがあるため、これを修正する必要がある。具体的には以下のようなことである。

プリアンプボードのエミッタフォロワ回路の取り付け ボード設計時には FET ソースフォロワの出力インピーダンスとプリアンプの入力インピーダンスのマッチングを意識しておらず、エミッタフォロワは取り付けしていなかった。そのため、現在の回路ではエミッタフォロワはプリアンプボードの端に外付けされている。これが一つのノイズ源になっているとも考えられるので、できるだけ最適化して作り直さなければならない。

ADC ボードのフォトカプラの入力抵抗 ボード設計時にはフォトカプラの動作原理が電流駆動であることを理解しておらず、単純に電圧駆動するような回路にしていたため、抵抗をつけていなかった。現時点ではプリント基盤の配線を一部削って抵抗をつけているが、これでは信頼性に問題がある。

パターンミス これはプリントパターン製作時のミスで、グラウンドに落ちていなければならないピンが落ちていなかったり、AD コンバータからのパラレル出力をシフトレジスタに入力する際に上位ビットと下位ビットの順序を逆にしているなどの単純な間違いである。

6.2.3 ハウスキーピング情報処理部

現時点では、まだその読み出しプログラムが完成していないのでハウスキーピング情報処理部を駆動させていない。今後検出器の性能評価を始めるまで安定した動作をするよう、整備していく必要がある。

6.2.4 ノイズ対策

今後の課題の中でもっとも重要でかつ困難を伴うと考えられるのがこのノイズ対策である。

現時点でチャンネルによって3~7ADU とばらつきがある検出器なしの状態での読み出しノイズを今後どのようにして、安定して3ADU 以下に押え込んでいくかが主な問題であるが、先に述べた回路パターンの再設計・再製作によってかなり安定させることができると考えている。

さらに、グラウンドの配線を工夫したりシールドを行なうなどして最終的には2ADU 以下に抑え込むのが目標である。

以上のようなことを中心にして、すばる OHS が最高の性能を発揮できるよう今後も開発を進めてゆく。

謝辞

まずこの研究のきっかけを与えて下さり、開発に当たってはさまざまな助言をしていただくとともに実際の実験の際も精力的に手伝っていただいた舞原俊憲氏に深く感謝致します。

京都大学宇宙線研究室の皆様には有形、無形のさまざまなサポートをいただきました。岩井淳一氏には検出器冷却試験用のテストデューワーを開発していただくとともに、実験に際しても手足のように働いていただき、感謝しています。尾崎正伸氏には回路の設計段階からノイズ対策についてのアドバイスを頂くとともに、開発中の様々なトラブルについての的確な助言を頂きました。塚本宏之氏には MESSIA-III で必要な各種プログラムを開発して下さりました。岩室史英氏にはすばる OHS と CISCO の仕様について事細かく教えて頂きました。杉山光児氏には検出器を駆動するクロックパターンを作成して頂きました。その他の研究室の皆様にも日頃のちょっとした疑問やわからないことで様々なアドバイスや議論をして頂きました。このようなサポートのおかげでこの研究がここまでこれたと確信しています。本当にありがとうございます。

東京大学の片坐宏一氏には学部時代に回路設計をする基礎を教えて頂くとともに、忙しい中、回路 CAD の選定やその使い方で様々なアドバイスを頂きました。どうもありがとうございます。

それから学校に泊まって朝帰ってきたり昼過ぎに出ていくという無茶苦茶な生活を暖かく見守ってくれた家族のみんな、どうもありがとう。

最後にトラへ、朝早く帰った時もお前が鈴を鳴らしながら出迎えてくれて本当に感謝してるよ。

参考文献

- [1] Beckwith, *Star Formation and Techniques in Infrared and mm-Wave Astronomy*, p.157, Springer-Verlag (1992)
- [2] Butcher & Oemler, *ApJ*, **285**,426 (1984)
- [3] Coleman, Wu & Weedman *ApJS*, **43**, 393 (1980)
- [4] Cowie, Hu, & Songalia *Nature*, **377**, 603 (1995)
- [5] DeRobertis & McCall *AJ*, **109**, 1947 (1995)
- [6] Giavalisco, Steidel & Macchetto, *ApJ*, **470**,189 (1996)
- [7] Hodapp, Hora, Hall, Cowie, Metzger, Irwin, Vural, Kozlowski, Cabelle, Chen, Cooper, Bostrup, Bailey, Kleinhans, *New Astronomy*, **1**, 177 (1996)
- [8] Iwamuro, Maihara, Oya, Tsukamoto & Hall, Cowie, Tokunaga & Pickles, *PASJ*, **46**, 515 (1994)
- [9] Janesick, Elliott, Collins, Marsh, Blouke, Freeman, *Proc. SPIE*, **501**, 2 (1984)
- [10] Kozlowski, Vural, Cabelli, Chen, Cooper, Bostrup, Stephenson, McLevige, Bailey, Hodapp, Hall & Kleinhans, *Proc. SPIE*, **2268**, 353 (1994)
- [11] Lanzetta, Yahil & Fernandez-Soto, *Nature*, **381** (1996)
- [12] Maihara, Iwamuro, Yamashita, Hall, Cowie, Tokunaga & Pickles *PASP*, 105, 940 (1993)
- [13] McCaughrean, *The Astronomical Application of Infrared Array Detectors*, Ph.D. Thesis, University of Edinburgh (1988)
- [14] Ohta, Yamada, Nakanishi, Kohno, Akiyama & Kawabe, *Nature*, **382**, 426 (1996)
- [15] Omont, Petitjean, Guilloteau, McMahon, Solomon & Pécontal, *Nature*, **382**, 426 (1996)
- [16] Pahre & Djorgovski, *ApJ*, **449**, L1 (1995)
- [17] Rakos & Shombert, *ApJ*, **439**, 47 (1995)
- [18] Ramsay, Mountain & Geballe, *MNRAS*, **259**, 751 (1992)

- [19] Shure et al. , *Proc. SPIE*, **2198**, 614
- [20] Steidel, Pettini & Hamilton, *AJ*, **110**, 2519 (1995)
- [21] Steidel, Giacalisco, Dickinson & Adelberger, *AJ*, **112**,352 (1996)
- [22] Steidel, Giavalisco, Pettini, Dickinson, & Adelberger, *ApJ*, **462**, L17 (1996)
- [23] Yoshii & Takahara *ApJ*, **326**, 1 (1988)
- [24] Born & Wolf, 『光学の原理』, p.907, 東海大学出版会 (1975)
- [25] 岡村延夫, 『解析 ノイズ・メカニズム』, C Q出版社 (1987)
- [26] 片坐宏一, 『MICS 開発レポート： AD ボードの入力フィルターの設計』, (1993)

付録 A

ノイズ

この回路は読み出しノイズを可能な限り減らすことを目標にしているため、設計段階から様々なノイズ対策を入念に施しておく必要があった。そのため、この章では一般的なノイズの議論を行ない、どのような対策をとれば良いのかを検討する。具体的にどのようなノイズ対策を行なったかは以降の実際の回路の設計の部分で詳細に説明する。

A.1 ノイズとは？

まずはノイズとは何であるかを定義しなければ、それをいかに防ぐかという議論は行なえない。ここで我々が考えるノイズとは、「搬送されてきた電位信号に乗る揺らぎ」と定義する。より具体的には、検出器の出力がグラウンドとの間に生じている電位と AD コンバータの入力がグラウンドとの間に生じている電位の違い、ということである。

これ以降、この違いがどうして生じ、どのようにすれば防ぐ（少なくとも減らす）ことができるかを考えていく。

A.2 ノイズ源

ノイズ源は大きく分けて、i) 回路自身が内在させているものと ii) 外から何らかの経路を伝わって入って来るものに分けることができる。

i) として挙げられるのは以下の二つである。

ジョンソンノイズ: 回路を流れる電子は電流の流れとなる一方向への運動の他に、ランダムな方向への熱運動をしている。このため、電流の量は熱運動の分だけ揺らぐことになる。これがいっばんにジョンソンノイズと呼ばれているものである。温度 T の抵抗 R に生じる雑音電圧は

$$\langle v_n \rangle^2 = 4kTR\Delta f \quad (\text{A.1})$$

で表される。ここで k はボルツマン定数、 Δf は測定帯域幅である。

ショットノイズ: 半導体の p-n 接合のポテンシャルを越えて電子が流れる時に生じる電流の揺らぎで、

$$\langle i_n \rangle^2 = 2eI\Delta f \quad (\text{A.2})$$

で与えられる。

これらのノイズは回路部品には必然的に生じるもので除きようがないが、測定の帯域幅を必要な部分にだけ絞りこむことにより減らすことはできる。

ii) の外来のノイズは、まさに回路の外から入ってきたノイズである。外部のどこかにノイズ源があってそのノイズが何らかの経路をたどって侵入してきたもので、その侵入経路を考えることによって効果的に防ぐことができる。以下ではどのような経路があって、それをどのようにして防ぐかを議論する。我々が行なったノイズ対策というのは主に以下で述べるものを中心に行なったことを付け加えておく。

A.3 ノイズの侵入経路

外来ノイズの侵入の仕方は a) 電磁結合、 b) 共通インピーダンスの二つに大別できる。

A.3.1 電磁結合

電磁結合とは回路間が直接結合していないにもかかわらずノイズが伝搬する場合で、

1) 静電結合、 2) 電磁誘導、 3) 外来電磁波の 3 つのモードに大別できる。

静電結合

静電結合は、図 A.1 のように二つの導体間には必ず浮遊容量ができることによっている。

この対策であるが一つには、浮遊容量は二つの導体間の距離に反比例することから結合を減らしたい二つの配線間の距離をとることが考えられる。しかしすでにある程度離れている場所から多少離れたところでそんなに効果は上がらないうえ、たとえばケーブルのように密着させてまとめないといけないところにはこの方法は用いることはできない。そこで静電シールドを行なうことになる。これはもっとも一般的に「シールド」と言われているものに相当するだろう。このシールドがどのように効くかをみるために、以下のようなモデルを考える。

まずは静電結合がモデルでどのように表されるかである。

A がノイズ源で電圧 V_A を持っており、そのノイズを受ける B とは容量 C_S で静電結合している。B は電圧 V_B を持っており、グラウンドとの間に R_B と C_B で形成されるイン

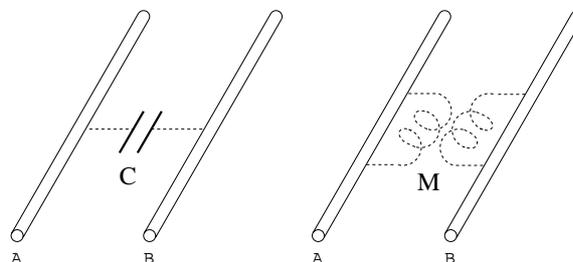


図 A.1: 左が静電結合、右が電磁誘導の模式図。二つの回路 A,B の間に、静電結合の場合は実効的なキャパシタンス C が、電磁誘導の場合は相互インダクタンスがあると考えられることができる。

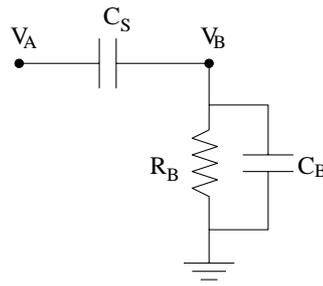


図 A.2: 静電結合を考えるモデル

ピーダンスを持っているとする。このとき、 V_B は A から静電結合によって侵入してきたノイズと考えることができ、

$$V_B = \frac{R_B C_S}{R_B(C_S + C_B) - \frac{i}{2\pi f}} V_A \quad (\text{A.3})$$

で表される。すなわち V_B は周波数 f に依存し、その周波数が大きくなるほど大きくなって、極限で

$$V_B = \frac{C_S}{C_S + C_B} V_A$$

に収束する。一般的には $C_S \ll C_B$ であるからさらに簡単になって

$$V_B = \frac{C_S}{C_B} V_A \quad (\text{A.4})$$

となる。

このことから静電結合が高周波成分を拾いやすく、たとえばデジタル信号の矩形波が乗っている信号線同士が干渉して誤動作が起こる理由も分かる。

それではこれに静電シールドを施した場合にはどのようなになるだろうか。上図のように、A と B の間にグラウンドと繋いだシールドを立てる。

そうすると AB 間にできる浮遊容量は、AB いずれかがそのシールドで完全に包み込まれていれば全くなり、先ほどの式 (A.3) から分かるように、ノイズの伝搬はなくなる。

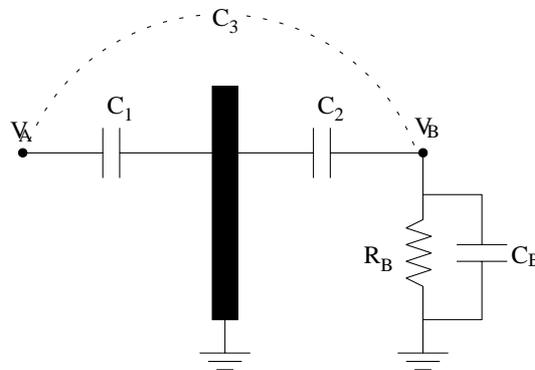


図 A.3: シールドを入れると...

実際にはいくらかの浮遊容量 C_3 は残るであろうがその大きさは先ほどの C_S に比べて極めて小さいものである。この時、B が受けるノイズは

$$V_B = \frac{R_B C_3}{R_B(C_3 + C_B + C_2) - \frac{i}{2\pi f}} V_A \quad (A.5)$$

となり、 $C_2 \ll C_S, C_3 \ll C_B$ であることから高周波の極限で

$$V_B = \frac{C_3}{C_B} V_A \quad (A.6)$$

となる。

いま、式 (A.4), (A.6) を見比べてやると、シールドを入れることによってノイズは C_3/C_S になるのがわかる。シールドを入れたことによって C_S が C_3 に激減すると考えられるから、シールドは静電結合によるノイズを防ぐ極めて有効な手段になると考えて良い。

電磁誘導

電磁誘導とはノイズ源の回路の電流から発生する磁場によって生じる誘導起電力でノイズが伝搬されることをいう。これは一般的な基盤の配線上では影響を与えるほど大きくなることはまずなく、基盤間の比較的長いケーブル取り回しで効いてくる。

これを防ぐのは、静電結合の時のように磁気シールドが簡単にはできないため、以下のようなポイントを押えて対策を講じていく必要がある。

1. グラウンドループを作らない

グラウンドループというのは下図のように、グラウンド線を含むケーブルを色々引き回したり、複数の装置同士がグラウンド線につながっていて、さらにそれぞれの装置が個別にグラウンドに落されているようなときにできる巨大なグラウンド線のループのことである。

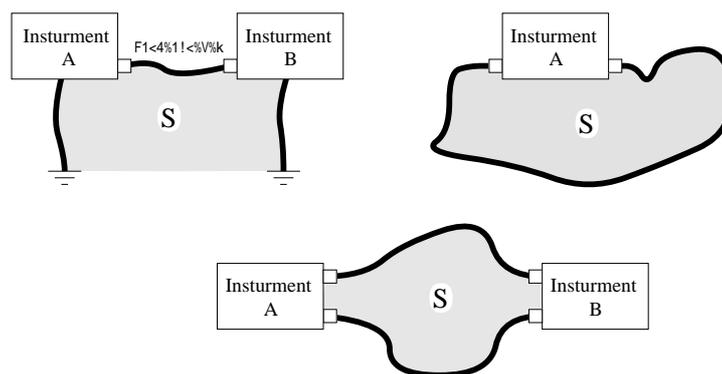


図 A.4: グラウンドループの実例。

この対策としては当然まず、設計の段階から良く考えてできるだけループができないような設計にしておくということである。しかしながら、どうしてもグラウンドループができてしまう部分がある。そのような場合には、外部磁場の変動による起電力は

$$\Delta V = -\frac{d}{dt} \int_S B ds \quad (A.7)$$

であることからわかるように、ループの面積を小さくすれば、それに比例してノイズの混入は減少するはずである。

2. ツイストペアを用いる。

先のグラウンドループはある意味で受動的な対策だったのに対して、磁場による誘導起電力を相殺しようというのが、このツイストペアである。ツイストペアケーブルで電磁誘導を相殺する原理は、下図のようにケーブルをツイストすることにより逆向きの起電力を発生させ、互いに打ち消し合わせるというものである。これにより、ツイ

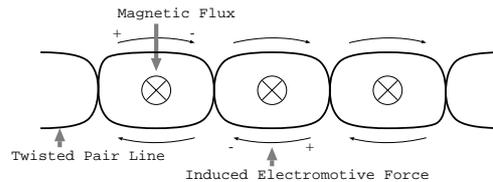


図 A.5: ツイストペアの原理

ストのサイズよりも大きなスケールで変動している磁場からの影響を除去することが可能になる。

外来電磁波

ノイズ源が電磁波輻射をしており、被害を受ける回路がアンテナになってそのノイズを拾う場合が外来電磁波である。これを防止するには、電磁波シールドをしなければならない。その場合回路を金属製のシールド箱で囲うことになるが、ここで注意しなければならないことをいくつかあげておく。

1. シールドの厚さ

まずはシールドの材質と厚さについてであるが、金属による電磁波の吸収が $1/e$ になる長さ (skin depth) τ は

$$\tau \sim \frac{c}{8\pi\mu\sigma\omega} \quad (\text{A.8})$$

で与えられる [24]。 μ は金属の透磁率、 σ は電導率、 ω は電磁波の角周波数である。銅の場合で $\mu \sim 1, \omega \sim 5.14 \times 10^{-17} (\text{s}^{-1})$ であるので代入して、表 A.1 のようになる。

これでわかるのは skin depth が極めて薄い、ということである。他の金属でも σ は 10^{-17} 程度であるから、この値はあまり変わらない。すなわち、電磁波のシールドでは金属の厚さはあまり気にする必要はないのである。

2. 箱の密閉度

実はシールドの厚さよりは箱の密閉度と電導度の方がはるかに重要である。

電磁波シールドは、箱の表面で電流を流して、それにより電磁波の反射と吸収を起こさせて箱の内部を守っている。しかしながら、この箱の表面に穴が空いたり箱の継目の接触が悪くて電流が流れにくかったりするとそこから電磁波は易々と侵入してきてしまう。

λ (m)	d (m)
10^{-5}	6×10^{-9}
10^{-1}	6×10^{-7}
10^{-3}	6×10^{-5}

表 A.1: 銅の各種の光に対する skin depth. Born & Wolf (1975)

このため、箱の製作には以下のような注意が必要である。

- 箱の継目の接触を確実にこなう。
- できるだけ開口部を減らす。
- 排熱などで止むを得なく開口部を作らなければならない時にはできるだけ小さい穴を少ない数空けた網をかぶせる。

要は電流の流れを妨げないことである。

A.3.2 共通インピーダンス

ノイズ源の回路と、被害を受ける回路がインピーダンスを共有している場合を共通インピーダンスと呼ぶ。具体的に図 A.6のように二つの回路、A,Bのグラウンドがインピーダンス Z_L を介して絶対的なグラウンド（たとえば電源のグラウンド端子）につながれている場合を考えてみる。このとき、Bからの帰還電流が ΔI 変動するとAのグラウンドレベルが $\Delta V = \Delta I Z_L$ 変動して、一方A上ではそのグラウンドレベルを参照して各種電圧が決まっているのでその ΔV がノイズとして現れる。特にBがデジタル回路だと、その帰還電流にはスパイクが乗って大きなノイズ被害を与えることになる。

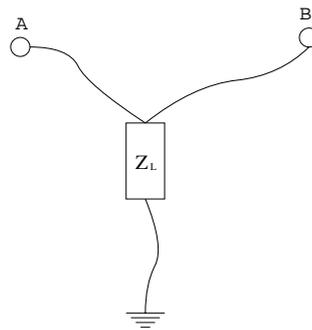


図 A.6: 二つの回路 A,B のグラウンドがインピーダンス Z_L を介してつながっている場合。

この被害を避けるには、まずは共通インピーダンスを作らない、小さくする、ということにある。デジタルグラウンドとアナロググラウンドはボード上では完全に分離して別々にしてしまうとともに、ベタアースにしてしまってもインピーダンスを極力下げることが有効である。更にそれぞれの回路の電流の帰還路を良く考えて、特に大電流部分との共通部を極力減らすことが肝心であろう。

A.4 ノイズ対策

ここでは上記のような原因で混入してきて、上の方法では防ぎ切れなかったノイズに対して、どのような対策を行えばよいかに触れる。

A.4.1 バイパスコンデンサ

ある素子の出力が急激に変化した場合、その消費電力も急激に変動するためその負荷に電源がついていけずに電源ラインにスパイク状のノイズが乗ることになる。

これがとくにオペアンプなどの場合、そのスパイクなどにより予測できないフィードバックが生じて動作を不安定にする可能性がある。

このようなことを防ぎ、電源ラインを安定させるために通常バイパスコンデンサを電源ラインとグラウンド間に入れる。

今回の回路では、レギュレータへの外部電源からの入力口とレギュレータからの電圧の出口に $100\mu\text{F}$ の電解コンデンサと $0.1\mu\text{F}$ のセラミックコンデンサを、アナログの各素子の $\pm 15\text{V}$ の電源ピンの近くに $6.8\mu\text{F}$ のタンタルコンデンサと $0.1\mu\text{F}$ のセラミックコンデンサを、デジタルの各素子の $+5\text{V}$ の電源ピンの近くにやはり $6.8\mu\text{F}$ のタンタルコンデンサと $0.1\mu\text{F}$ のセラミックコンデンサを取り付けている。

A.4.2 差動搬送

アナログ信号を搬送する際、その途中でのノイズの強度はその信号線のもつインピーダンスによって変わってくる。

そのため、搬送する信号にそれと同じインピーダンスを持つ参照電圧線を追加し、その二つの電位差を差動増幅すればノイズの同相成分を完全に除去できることになる(図 A.7)。

実際にはオペアンプの性能などにより完全な除去はできなくて、その性能をオペアンプの同相除去率で表すことになる。

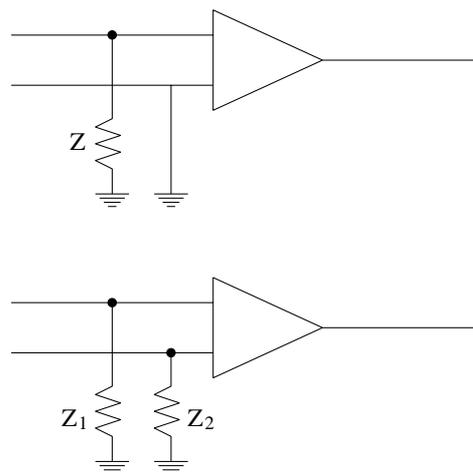


図 A.7: 通常のアンプへの入力(上)と差動入力(下)

今回の回路でも FET ソースフォロワからプリアンプボードまでの検出器の信号の搬送でこの方法を用いている。

A.4.3 フォトカブラ

先に述べた様に、グラウンドループは回路ユニット間の信号線の伝達でどうしても生じてしまうことがある。しかしながら、フォトカブラを用いればこの信号のやりとりと電氣的に絶縁して行なうことができ、グラウンドループの発生を心配せずに信号線のとり回しを行なうことができるようになる。

付録 B

HAWAII アレイ検出器

HAWAII(HgCdTe Astronomical Wide Area Infrared Imager) は初めての 100 万素子の赤外用アレイ検出器で、高い量子効率とともに極めて低い暗電流 ($< 0.1e^-/pix/sec$) と読み出しノイズ ($< 8e^-/pix$) が特徴である。

ここでは動作原理と駆動方法を述べる。

B.1 HAWAII の構造

赤外線の半導体アレイ検出器は一般に、赤外線の検出器素子をならべた検出器部分と、シフトレジスタとアナログスイッチを組み合わせ読み出しを行なうマルチプレクサ部の二つを別々に作り、それを機械的にインジウムの bump で一ピクセル一ピクセルずつ接着してゆくという方法で製造される。

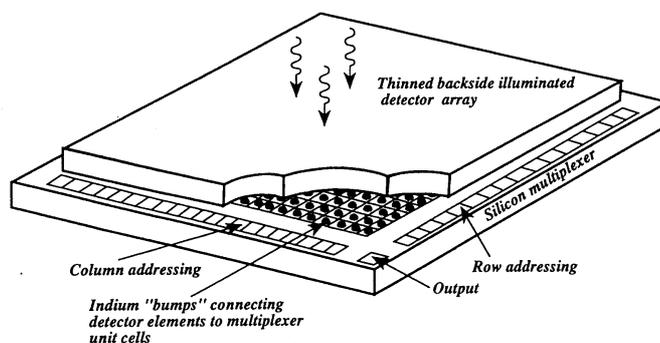


図 B.1: 近赤外アレイ検出器の概略図

B.1.1 検出器部

検出器部の製造は、サファイア (Al_2O_3) の substrate の上に絶縁のための CdTe の層を形成した上で、その上に HgCdTe を成長させてゆき、最後にホウ素 (B) を注入して n-type の層を作り、アニリングして完成する。図 B.2 に HAWAII の 1 世代前の検出器である NICMOS3 の断面図を示す。NICMOS3 はマルチプレクサの構造が違うのと、フォーマットが

512×512 ピクセルと HAWAII よりも小さいことを除けば、検出器の構造は全く同じである。

検出器は表面 (n-type のランドがある側) がマルチプレクサとの接触面となり、光は裏面から照射する (裏面照射)。入射した光子は p-n 接合部のまわりに広がっている空乏層の電子を励起し、電子 - ホールのペアを生成する。このペアはそれぞれ、空乏層にかけられている逆バイアスによって電子は n-type 側、ホールは p-type 側へ流れる。これらの電子は、検出器自身と、検出器につながっている読み出し用の FET が持っている浮遊容量に貯められ、マルチプレクサで読み出される。

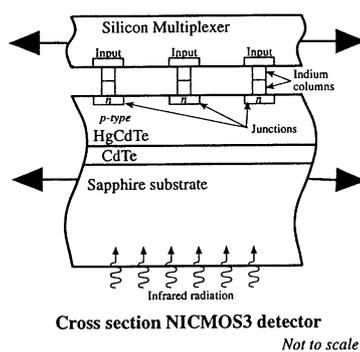


図 B.2: NICMOS3 検出器の断面。HAWAII も基本的にはこれと同じ構造である。

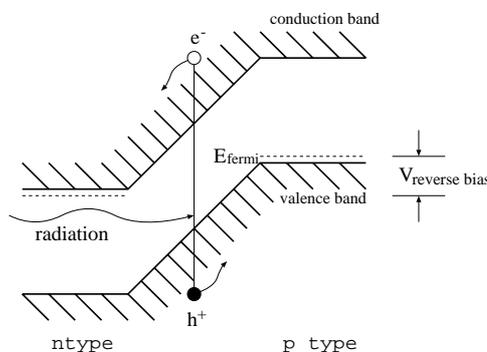


図 B.3: 逆バイアスがかかった状態の、HgCdTe の p-n 接合のエネルギーバンド図。

B.1.2 マルチプレクサ部

マルチプレクサ 1 ピクセル分の回路を図 B.4 に示す。検出器で励起された電子は検出器自身、それに FET1, FET3 がもつ浮遊容量に貯められる。この電荷によって FET1 のゲートにかけられた電圧は、FET2 と ANALOG SW を on にすることによって、出力に現れ、読み出される。また、貯められている電荷は FET3 のゲート電圧を high にすることで VRESET へ流し出され、リセットされる。

HAWAII のマルチプレクサの特徴は、この読み出しに 2 つの方法が用意されているということである。一つはこれまでの NICMOS3 と同じ方法で、ANALOG SW を経たあとにもう

一度FET5のソースフォロワでバッファしてSOURCE端子から出力するというものである。このバッファは、出力インピーダンスを増やしてノイズ耐性をあげるためと、内部回路の保護のために行なわれている。しかしながらこの方法では、FET5が赤外域で発光して検出器の端の方を照らし出す glow が起こる [7][9]。そのため、HAWAIIのマルチプレクサではこのバッファを経由せず、HORIZONTAL BUSを直接読み出せるBUS端子があらたに設けられた。CISCOの回路も、後者のBUS端子から読み出しを行なう。

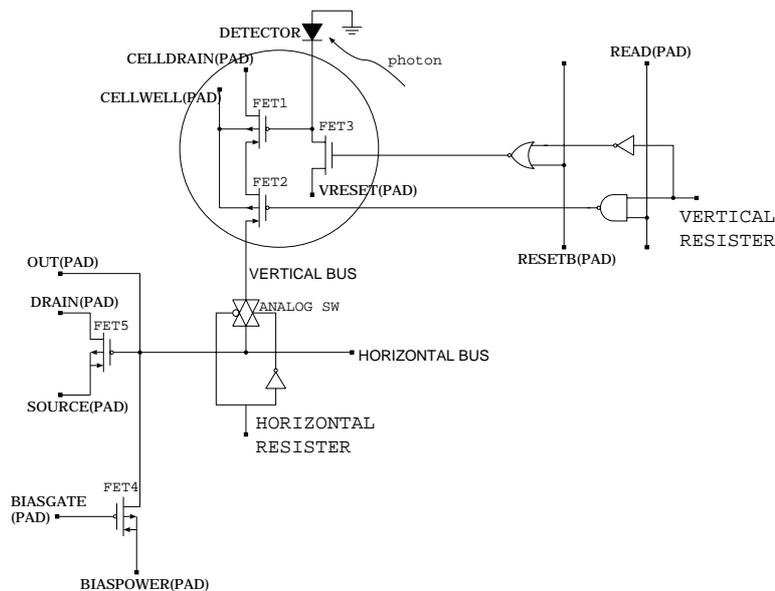


図 B.4: マルチプレクサ 1 ピクセル分の回路。

これら個々のピクセルをまとめて、シフトレジスタでピクセルを選択できるようにしたのがマルチプレクサで、図 B.5のようにになっている。この図で角のとれた四角形が図 B.4の丸で囲んだ部分を表している。

実際のマルチプレクサは検出器の 1024×1024 ピクセルを 4 つの 512×512 ピクセルのコドラントに分割し、それぞれ別々に読み出すようになっているため、出力を含めてすべての端子が 4 チャンネル分ある。

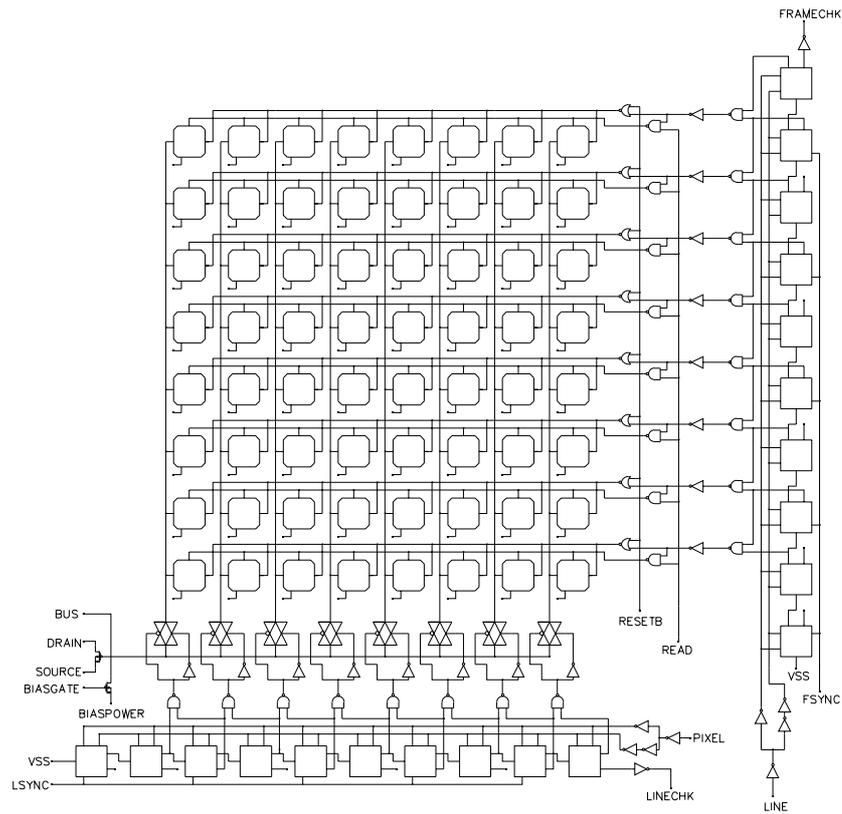


図 B.5: マルチプレクサの構造の概念図。実際には 512×512 ピクセルで、さらにそれが 4 個並んでいる。

B.2 駆動方法

B.2.1 電源

検出器に与える電源の電圧は表 B.1の通りである。ただし、CISCO の回路では、内蔵の FET ソースフォロワを駆動させないので DRAIN には電圧は供給されない。

B.2.2 クロック

マルチプレクサに入力するクロックは FSYNC、LSYNC、CLOCK、LINE、RESETB、READ の 6 つで、すべて 0–5(V) の CMOS レベルである。それぞれのクロックの役割とタイミングを以下で述べる。

FSYNC と LSYNCH はそれぞれ、図 B.4の Vertical, Horizontal Resister をリセットするクロックで、L(low) レベルでリセットされる。CLOCK と LINE はそのシフトレジスタを進めていくクロックで、クロックのエッジでシフトレジスタが一つ進む。これらシフトレジスタの最高動作速度は Horizontal Resister が 250ns 間隔なのに対し、Vertical Resister は 1.5 μ s であるため、Horizontal Resister でピクセルをスキャンし Vertical Resister で行をスキャンしていくことになる。

名称	機能	電圧 (V)
VDD	Digital Power	5
HIGH	Analog Power	5
CELLWELL	n-well	5
VRESET	Detector Reset	0.5
BIASGATE	Gate of Internal Pullup for Cell Source Followers	3.5
VSS	Digital Ground	0
LOW	Analog Ground	0
DRAIN	Output Source Follower Drain	0
MUXSUB	Multiplexer Substrate	0
DSUB	Detector Substrate	0
CELLDRAIN	Drain of Cell Source Follower	0
BIASPOWER	Source of Internal Cell Pullup	5

表 B.1: 検出器の電源電圧

RESETB は検出器のリセットを行なうクロックで、L レベルでその時シフトレジスタで選択されている行のすべてのピクセルがリセットされる。

最後に、READ がピクセル信号の出力制御するクロックで H レベルのときに、シフトレジスタで選択されているピクセルからの信号が出力される。

B.3 性能

HAWAII の性能は [10], [7] に報告されている。ここではそこからの引用を示すにとどめる。

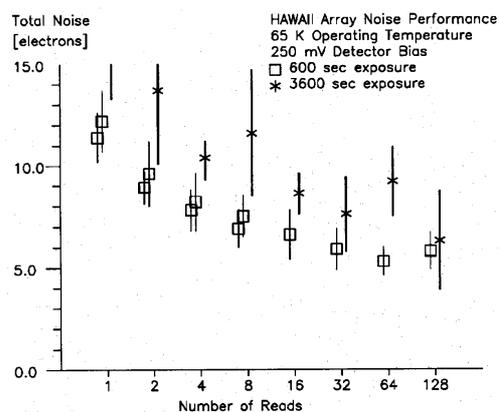


図 B.6: HAWAII の読み出しノイズの実測値。横軸はマルチサンプリングの回数である。Hodapp (1996) からの引用。

Table 1. HAWAII Readout Characteristics

Parameter	Minimum	Maximum	Units
Format	1024 × 1024		Pixels
Cell Pitch	18.5		μm
Chip Package (Optional)	84 Pin		LLCC
Input Circuit	Direct Detector Integration		
Noise Suppression	Off-chip: Correlated Double Sampler		
Supply Voltage	5		V
Integration Capacitance	20	35	10 ⁻¹⁵ F
Charge Capacity @0.5V	0.102	0.105	10 ⁶ e-
Input Offset Nonuniformity		<15	mV p-p
Dynamic Range	>0.8	1	10 ³
Data Rate		≤1	MHz
Pixel Operability	>98	<100	%
Read Noise	<10	<100	e-
Conversion Gain (S _v)	3.4	6.85	μV/e-

Table 2. HAWAII FPA Characteristics

Parameter	Proposed	Measured	Units
Detector Material	PACE HgCdTe		
Array Format	1024 × 1024		
Detector Cut-off Wavelength	2.5		μm
Optical Fill Factor	≥90	TBD	%
Nominal Frame Rate	>0.2	1.2	Hz
Maximum Read Noise	<40	<15	carriers
Minimum Read Noise	<10	≤8.6	carriers
Cell Pitch	18.5	18.5	μm
Nominal Charge-Handling Capacity	62,500	104,000	carriers @ 1/2V
Nominal Usable Dynamic Range	>0.3	0.91	10 ³
Responsivity Nonuniformity	<15	<10	%
Outputs	4	4	
Power Dissipation	<1	<1	mW
Linearity over usable DR	>98	TBD	%
Maximum Data Rate per Output	200	>800	kHz
Detector Interface Circuit	SFD	SFD	

図 B.7: HAWAII の読み出しの仕様 (上) とチップの仕様 (下)。Kozlowski (1994) からの引用。

付録 C

クロックパターン

C.1 MESSIA-III でのクロックパターンの作成

MESSIA-III のクロックパターンは、CIC ボード上のメモリに書き込まれる基本パターンである `cpg.ascii` ファイルと、その基本パターンの組み合わせ方を指示する `spv.ascii` の二つのファイルを編集することにより作成される。

C.2 CISCO に用意されているクロック

現在、CISCO からの読み出しのために用意されているクロックは以下の通りである。これらのパターンは基本的には杉山光児氏によって作成された。その動作に関する詳しい解説は同氏の Web Page に掲載されている¹。そのパターンを基本として読み出し速度やリセットの方法を変えたバージョンを作って使用している。

クロック名	レート	機能
test11frp	5.76 μ s	AD コンバータのみを動かして
test3frp	4.4 μ s	1 フレーム分の情報をメモリ上に貯める
scan ²	5.12 μ s	1 フレーム読み出し
reset_scan ²	5.12 μ s	各列の始めでリセットをかけて 1 フレーム読み出し
non_stop ²	5.12 μ s	reset_scan の無限繰り返し
reset_frame ²	-	読み出しはせず、1 フレームを高速でリセット
fast_scan	2.88 μ s	1 フレーム読み出し
fast_r_scan	2.88 μ s	各列の始めでリセットをかけて 1 フレーム読み出し
fast_non_stop	2.88 μ s	fast_r_scan の無限繰り返し
allreset_scan	5.12 μ s	常にリセットをかけながら 1 フレーム読み出し
allreset_non_stop	5.12 μ s	allreset_scan の無限繰り返し

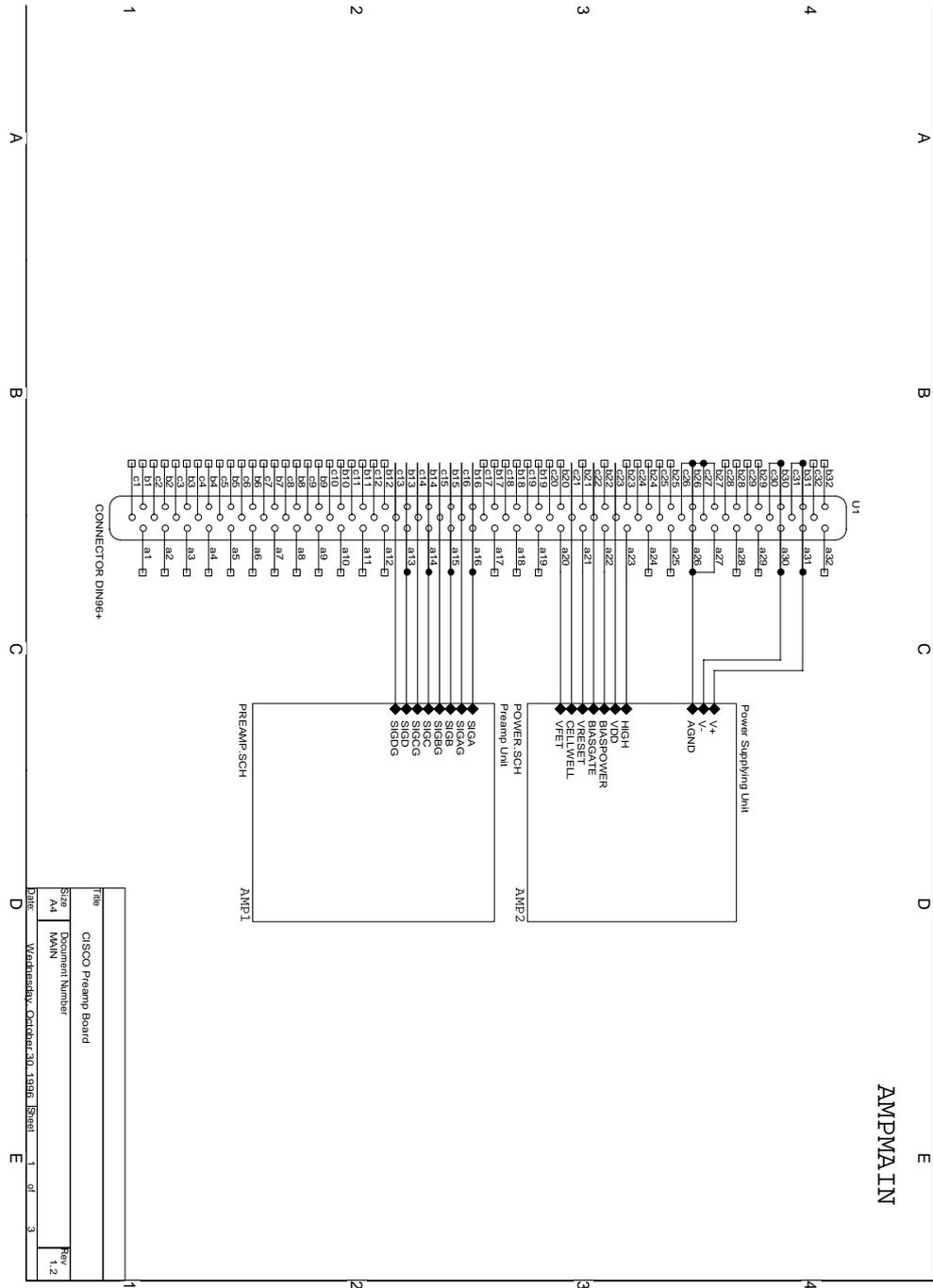
表 C.1: HAWAII からの読み出しのために用意されているクロック。² は杉山光児氏作成によるもの。

¹<http://www-cr.scphys.kyoto-u.ac.jp/member/sugiyama/messia/index.html>

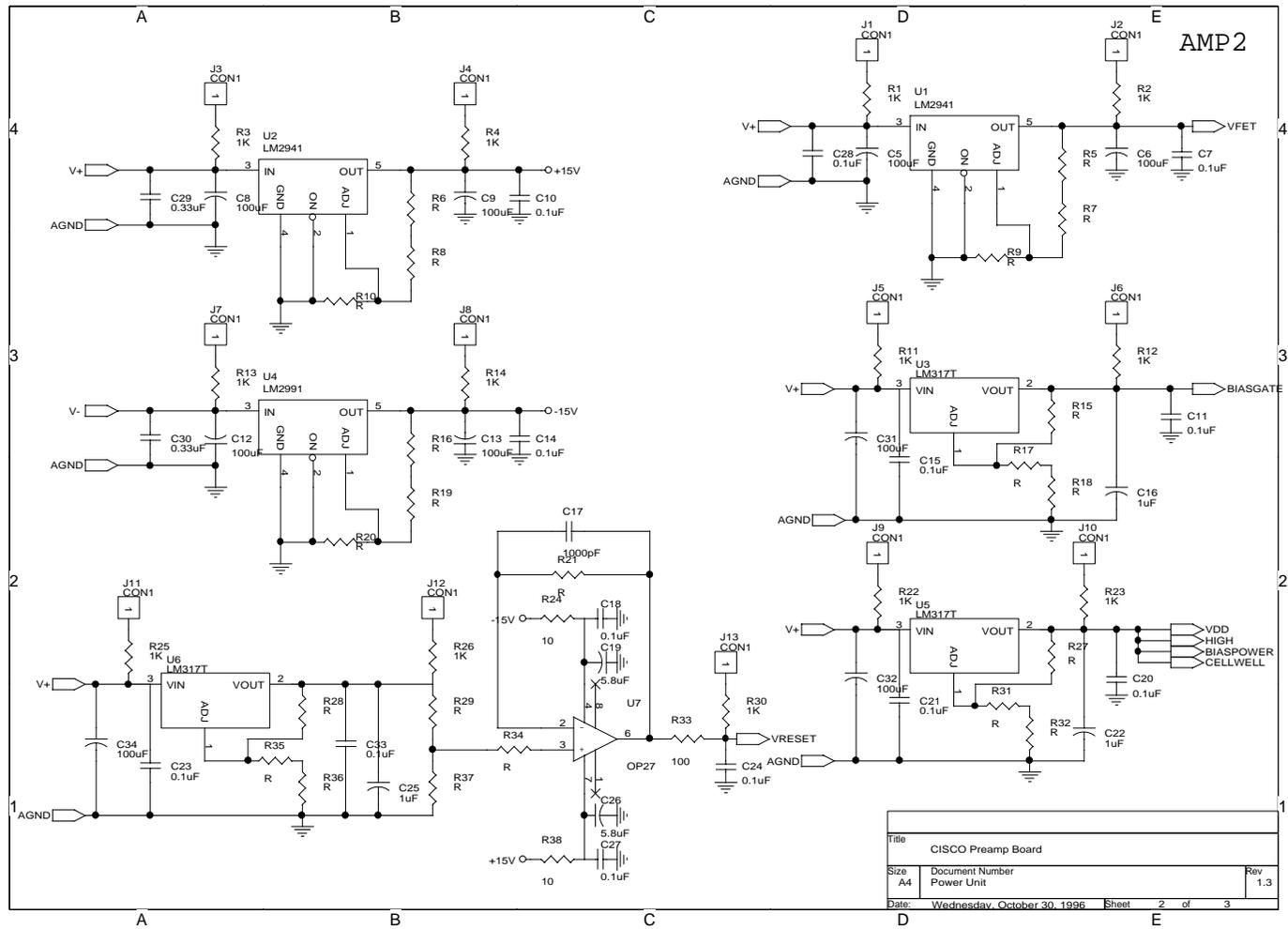
付録 D

回路図

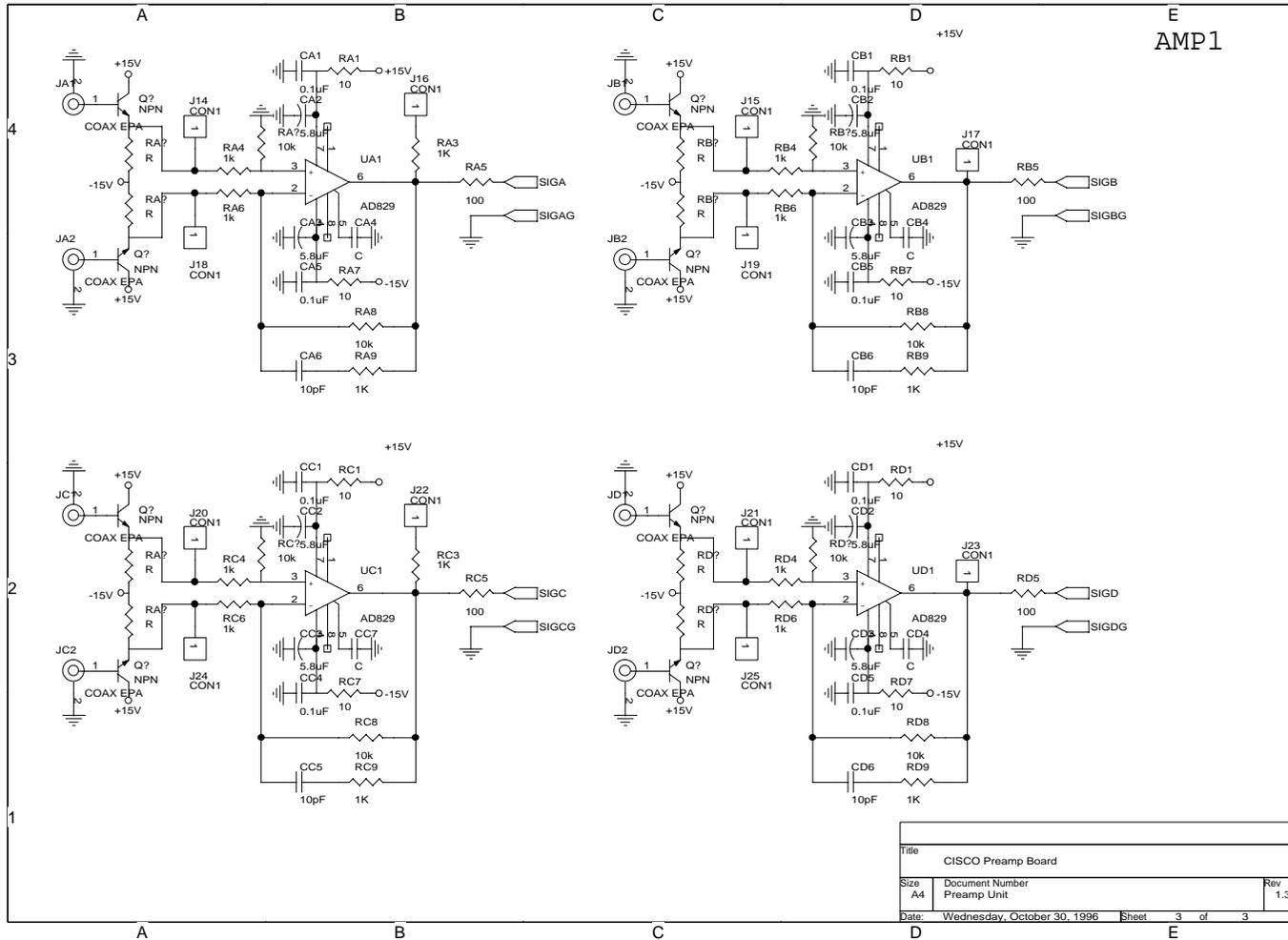
D.1 プリアンプボード

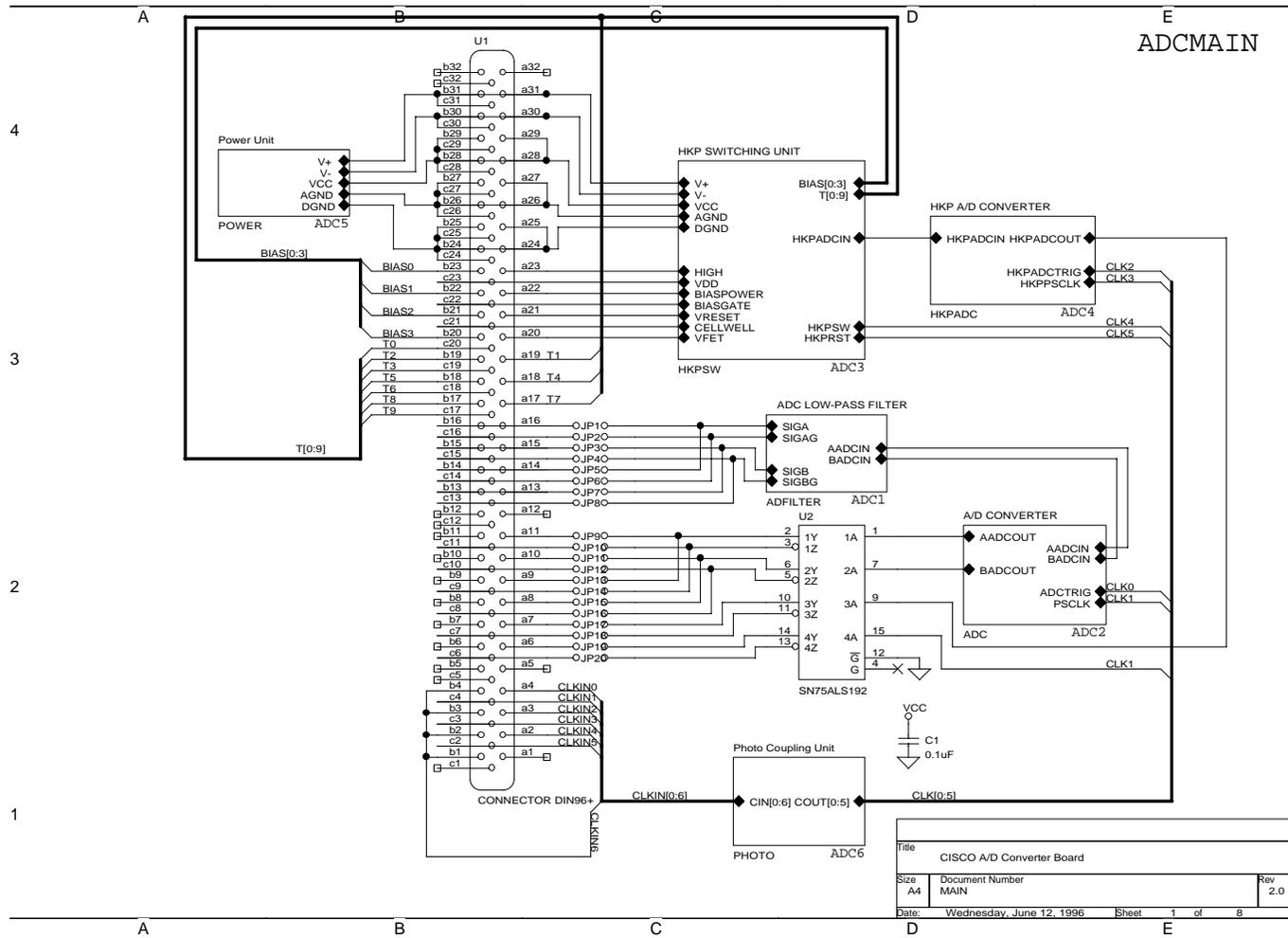


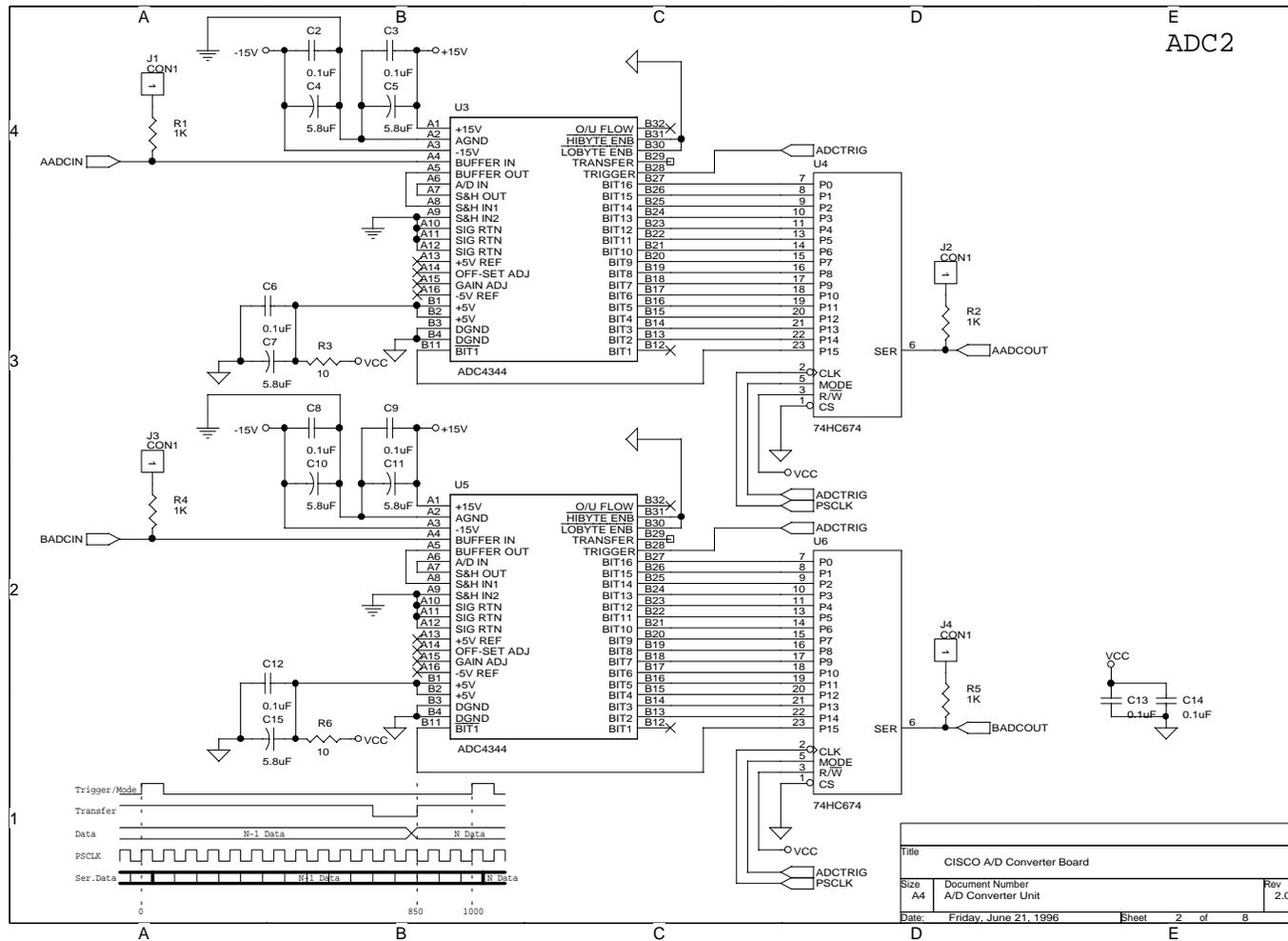
File	CISCO Preamp Board	
Size	A4	
Document Number	MAIN	
Date	Wednesday, October 30, 1996	Sheet 1 of 3
Rev	1.2	



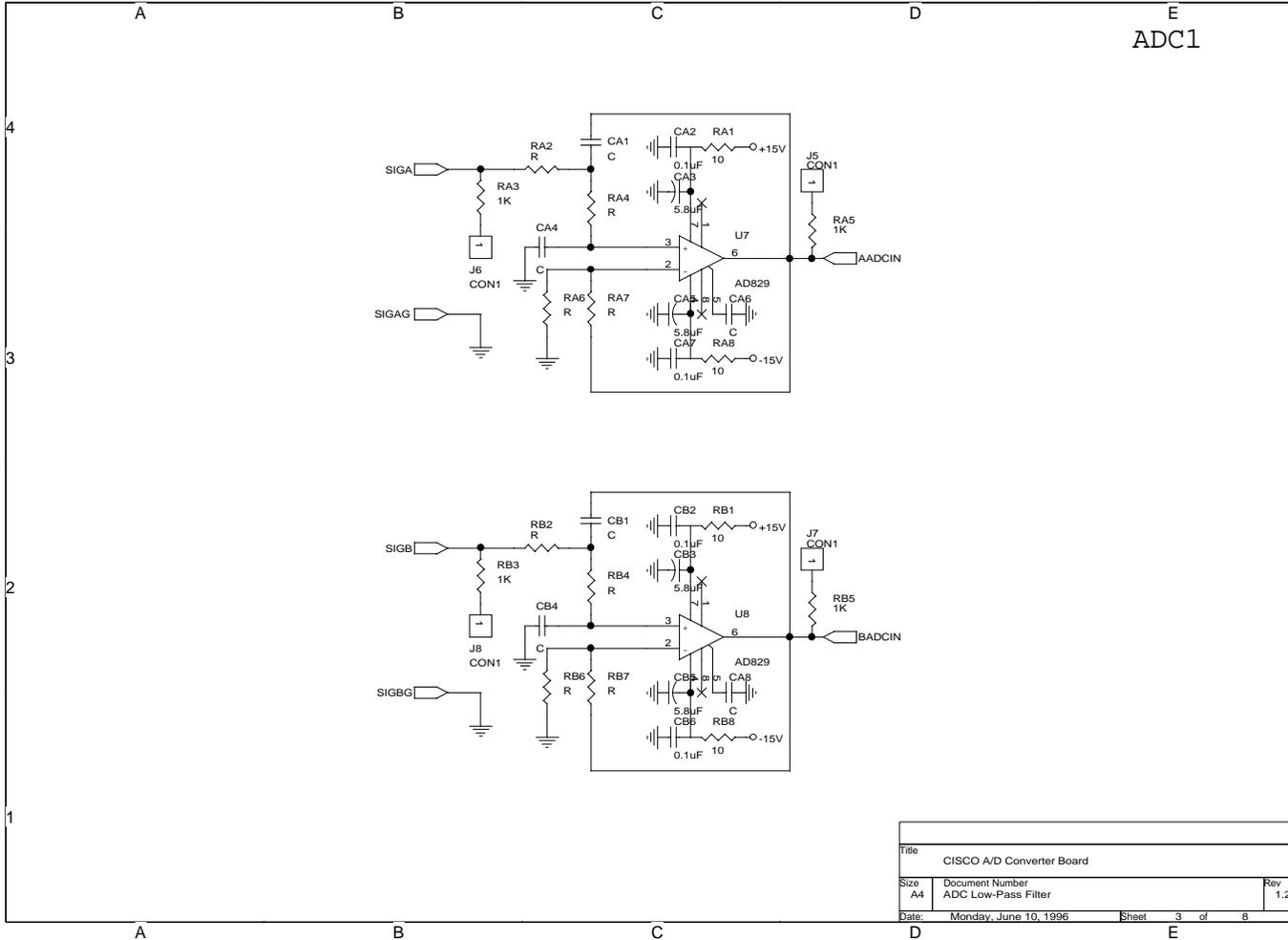
Title		
CISCO Preamp Board		
Size	Document Number	Rev
A4	Power Unit	1.3
Date:	Wednesday, October 30, 1996	Sheet 2 of 3

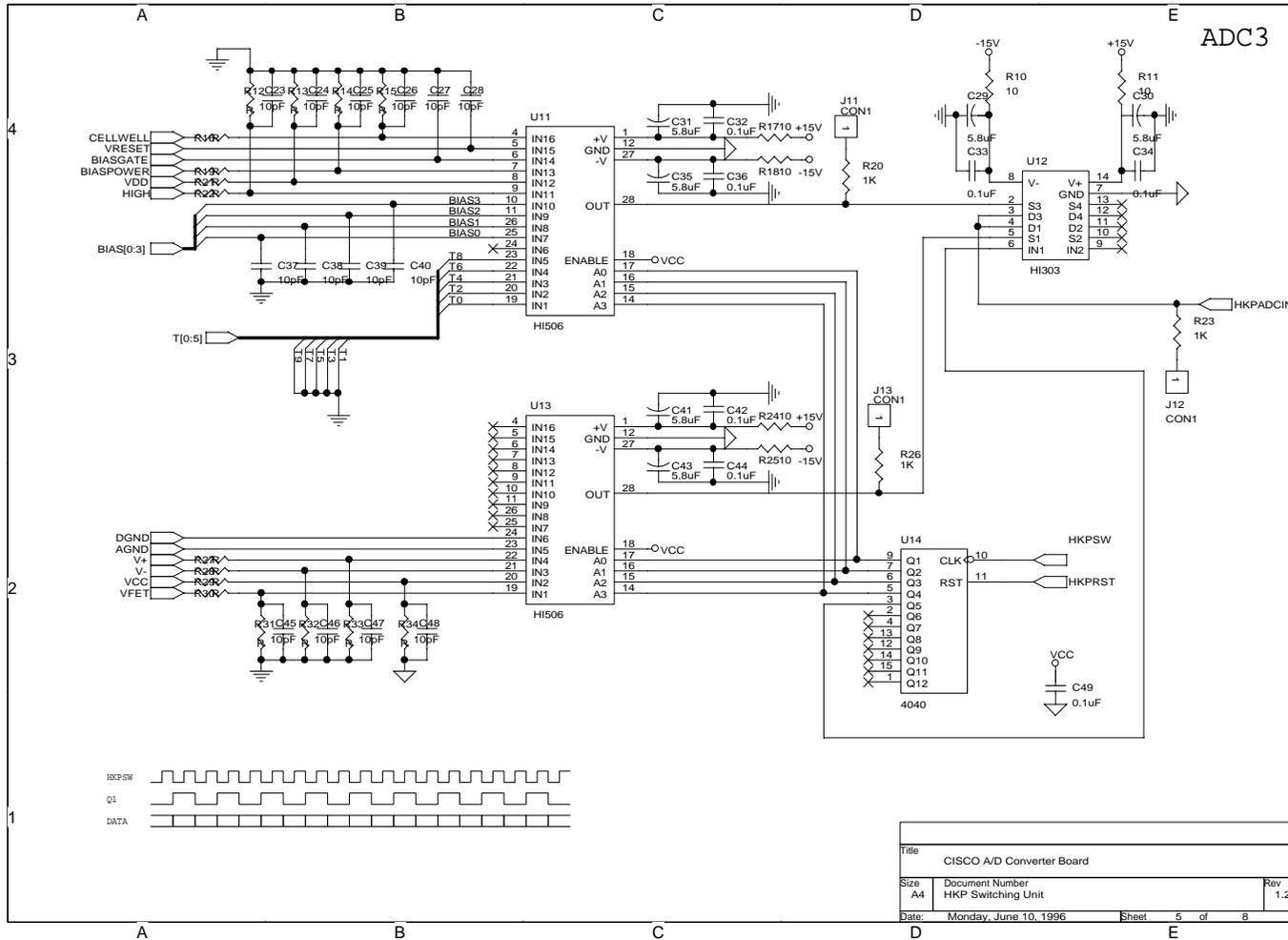


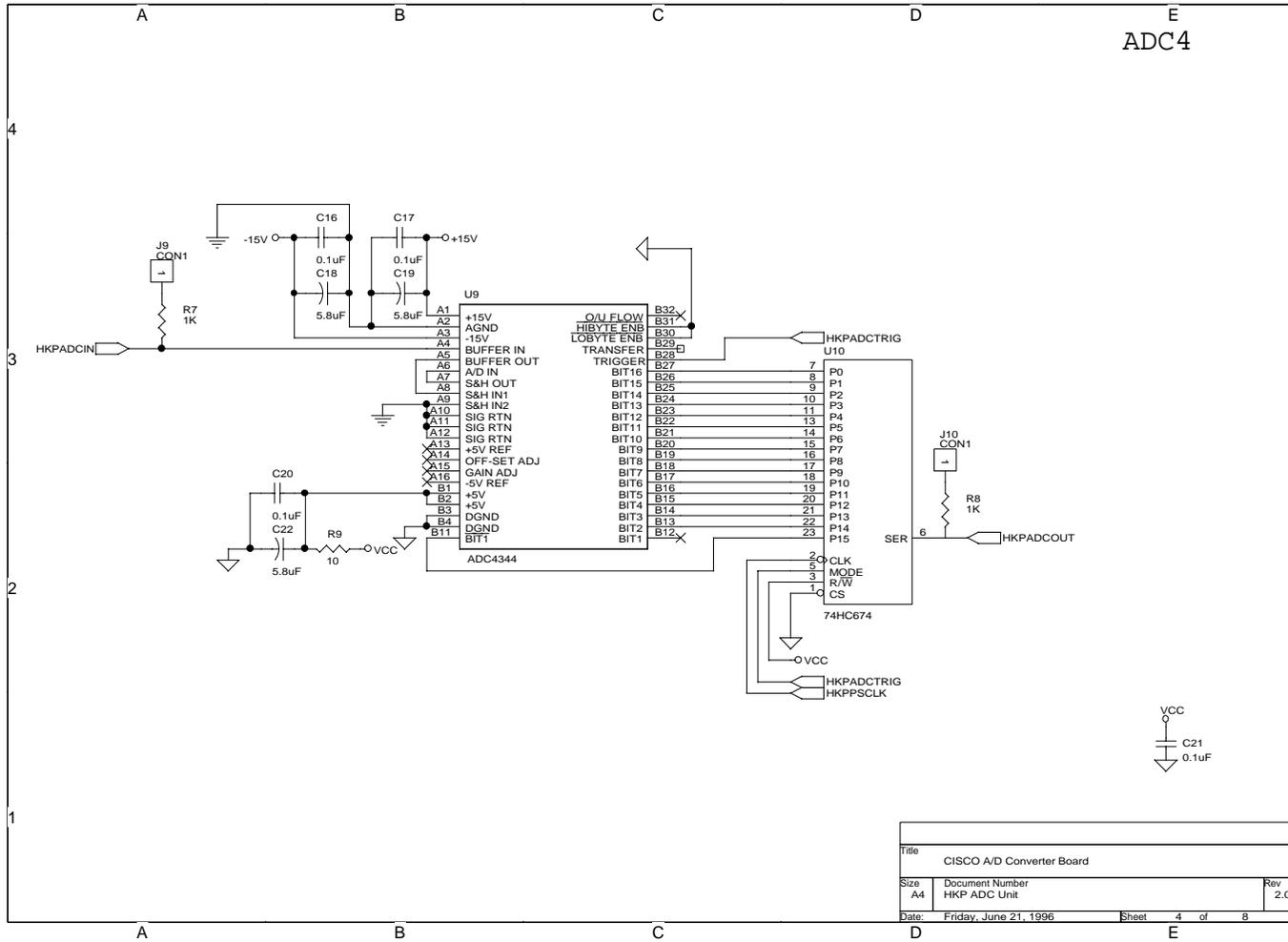


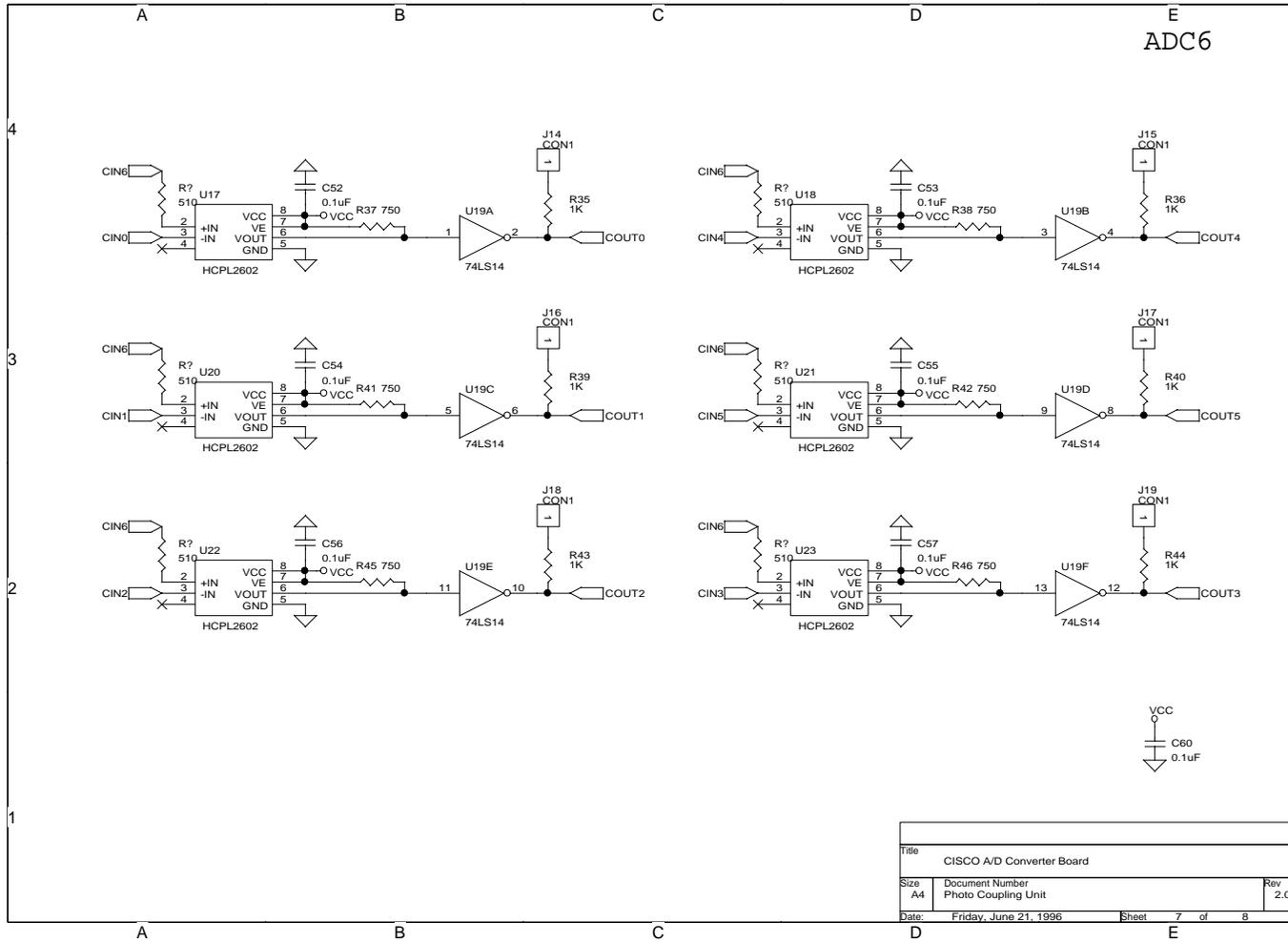


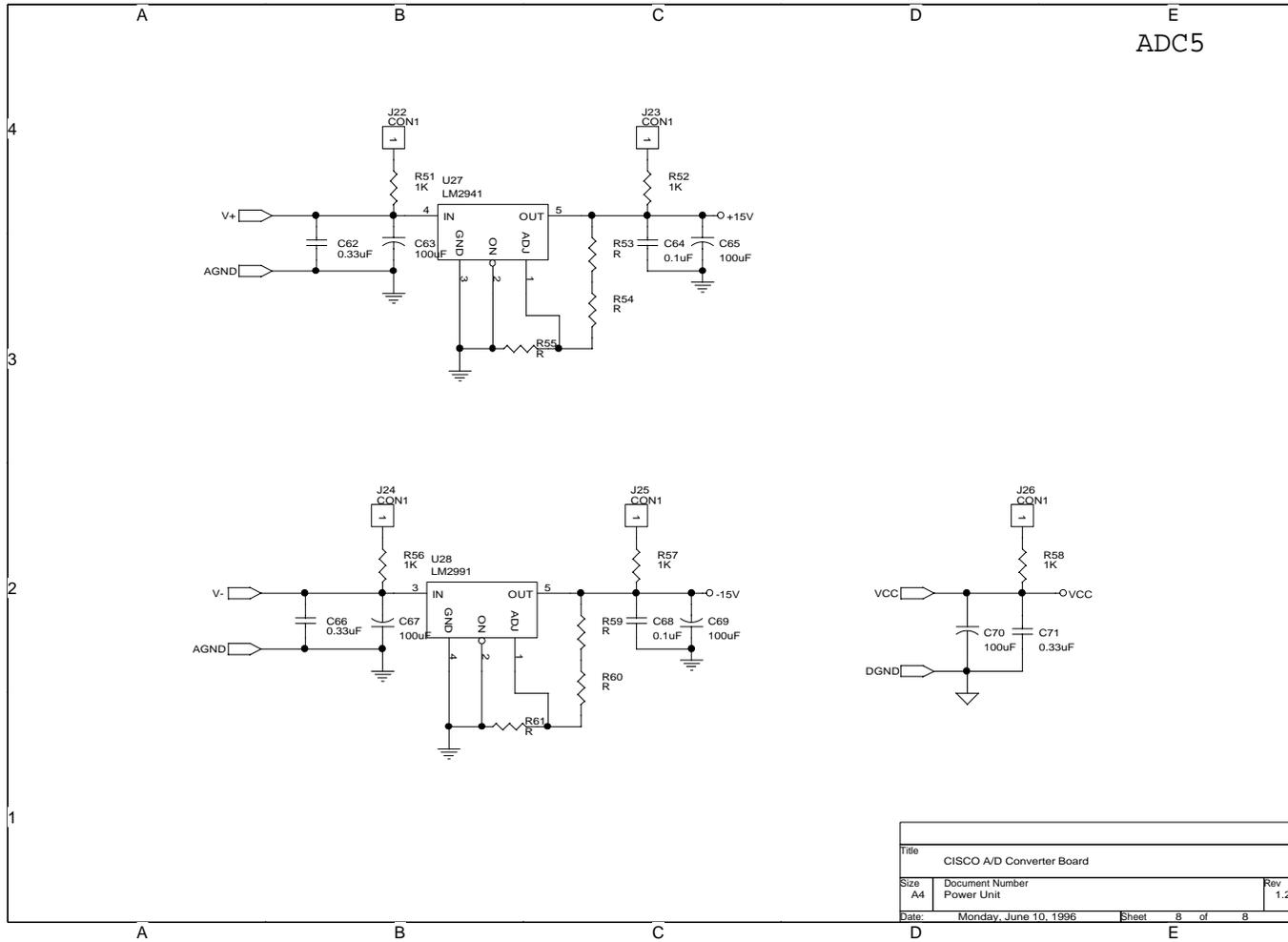
Title			CISCO A/D Converter Board		
Size	Document Number	Rev			
A4	A/D Converter Unit	2.0			
Date:	Friday, June 21, 1996	Sheet	2	of	8



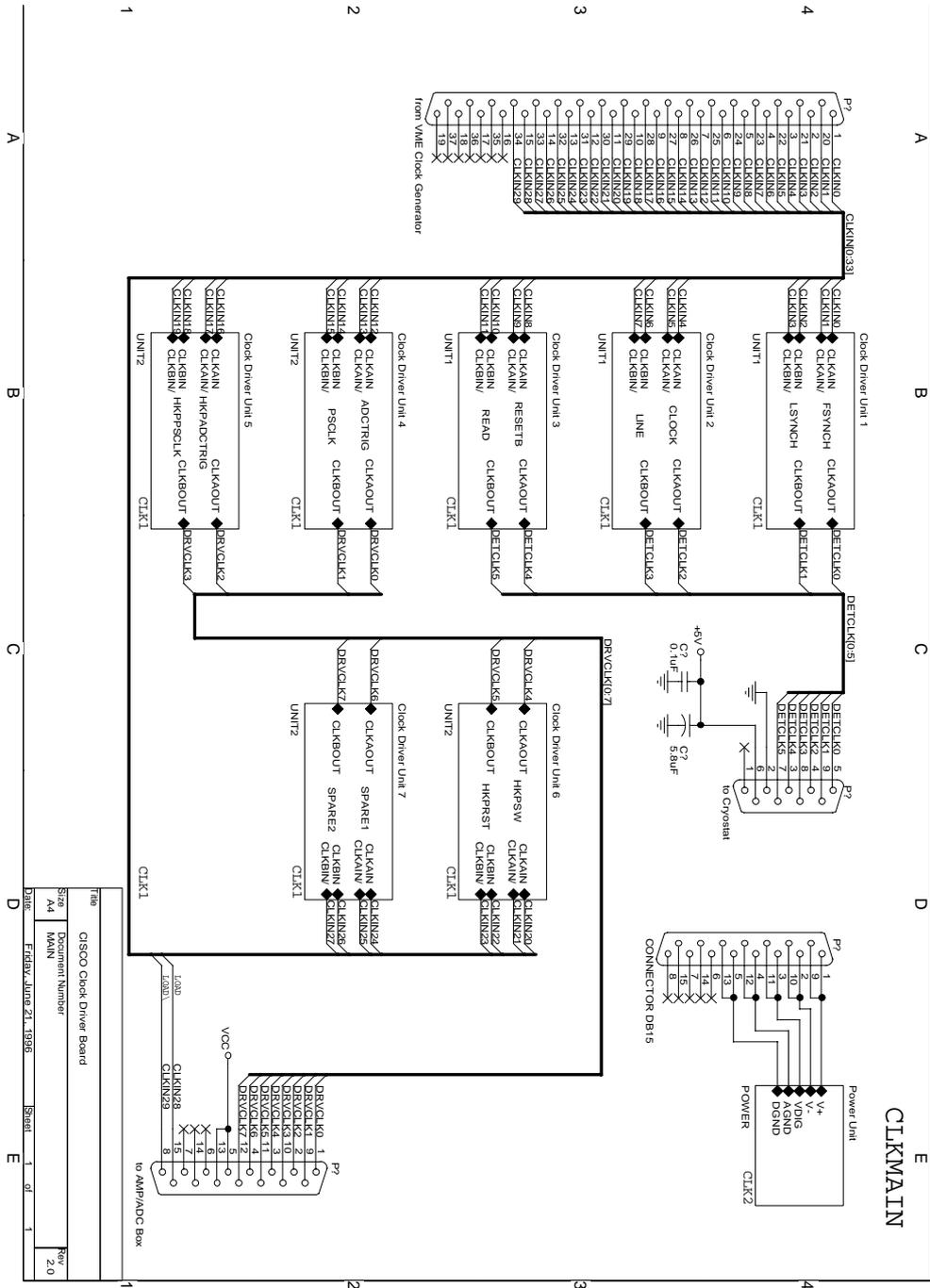




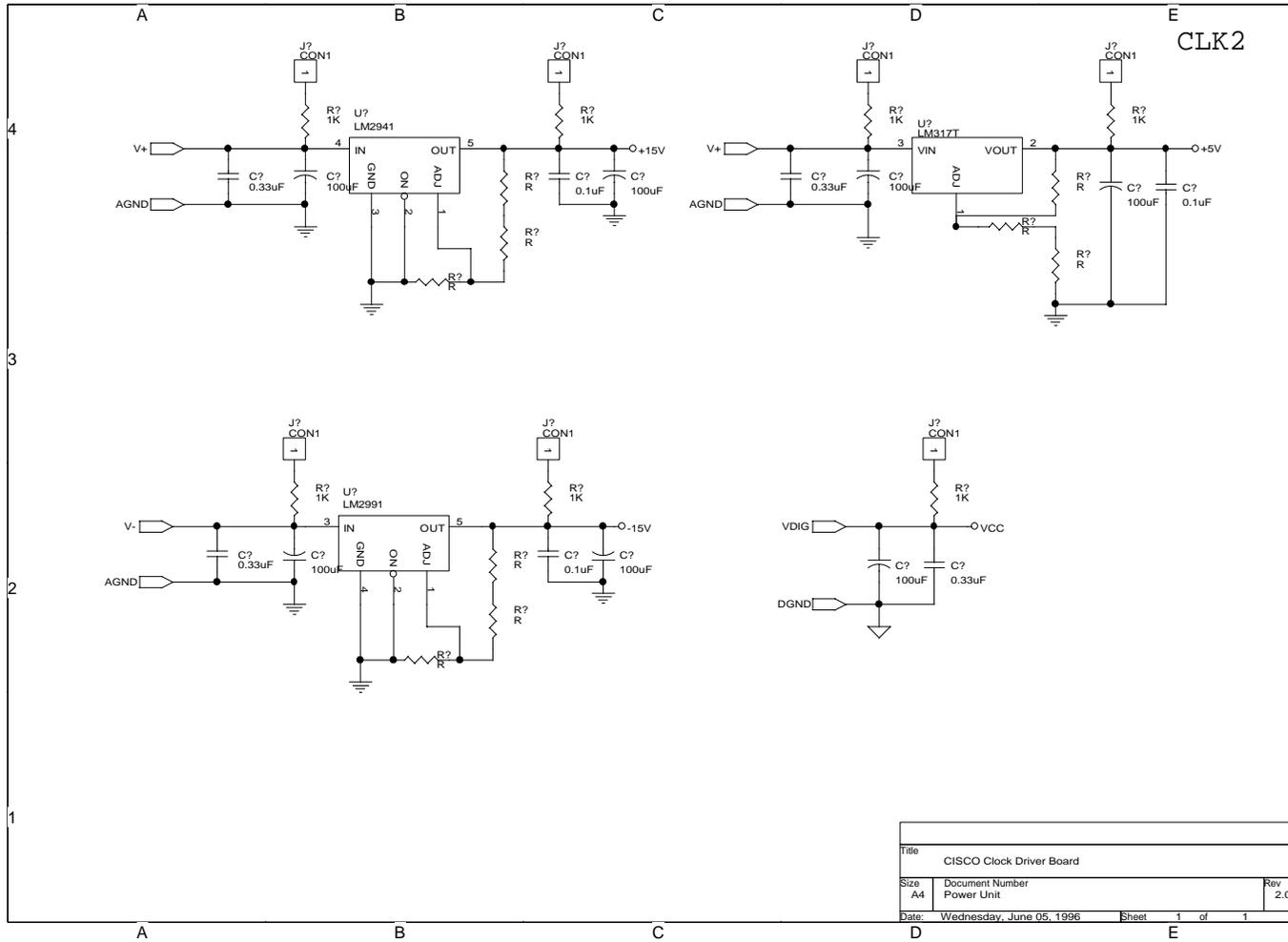


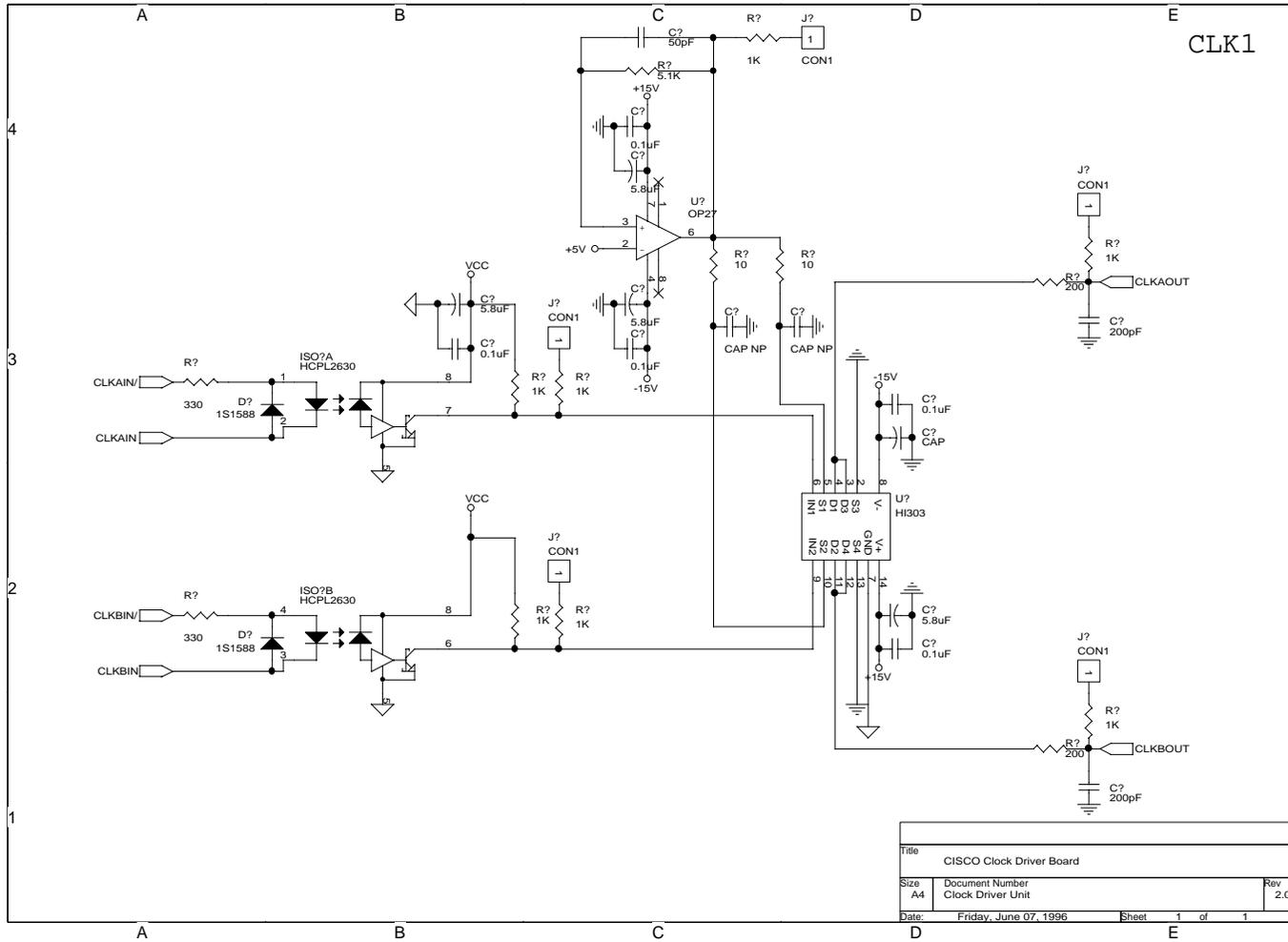


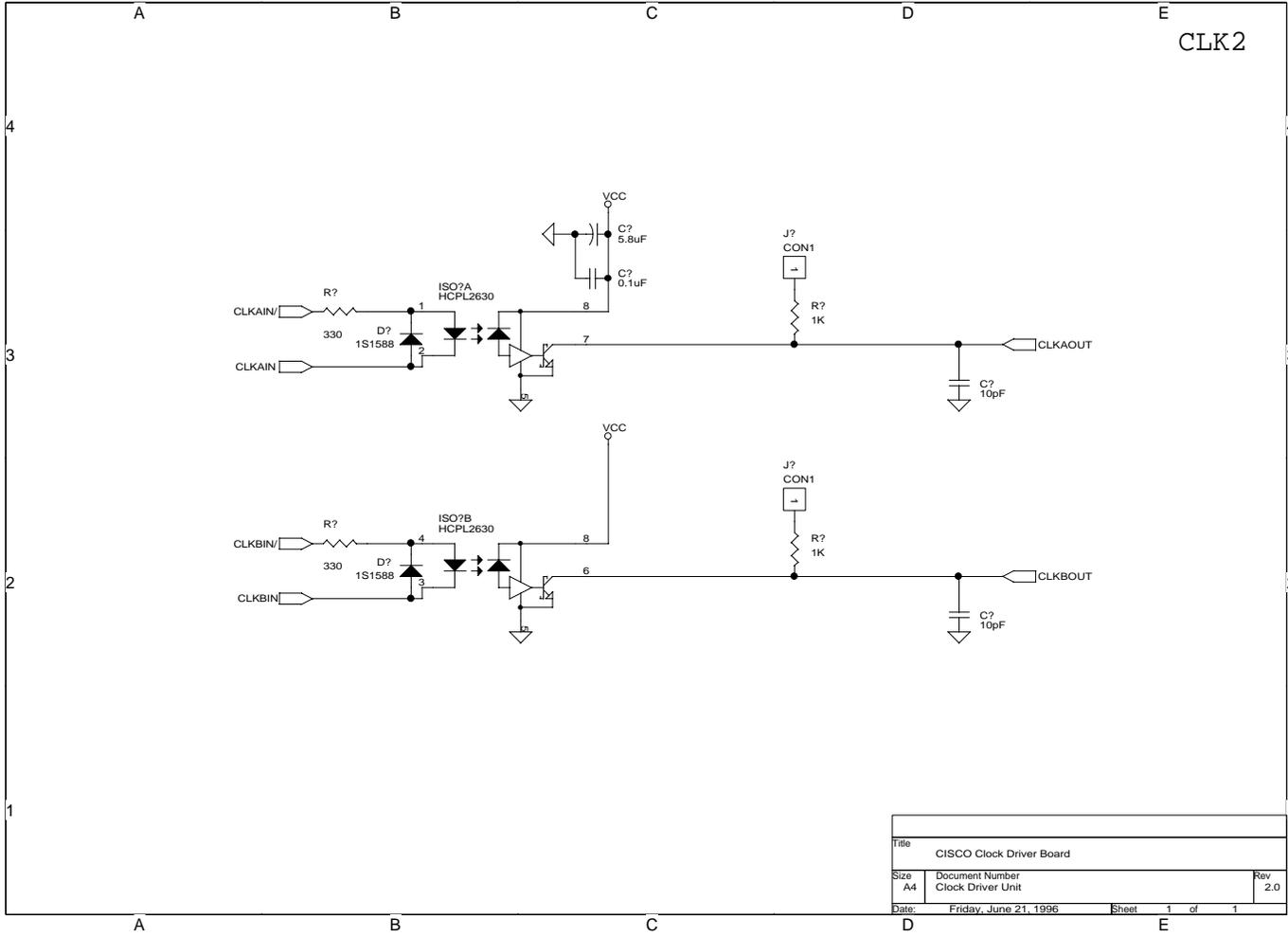
D.3 クロックドライバボード



File	CLKMAIN
Size	44
Document Number	MAIN
Date	Fri Jun 21 1998
Board	1 of 1
Rev	2.0

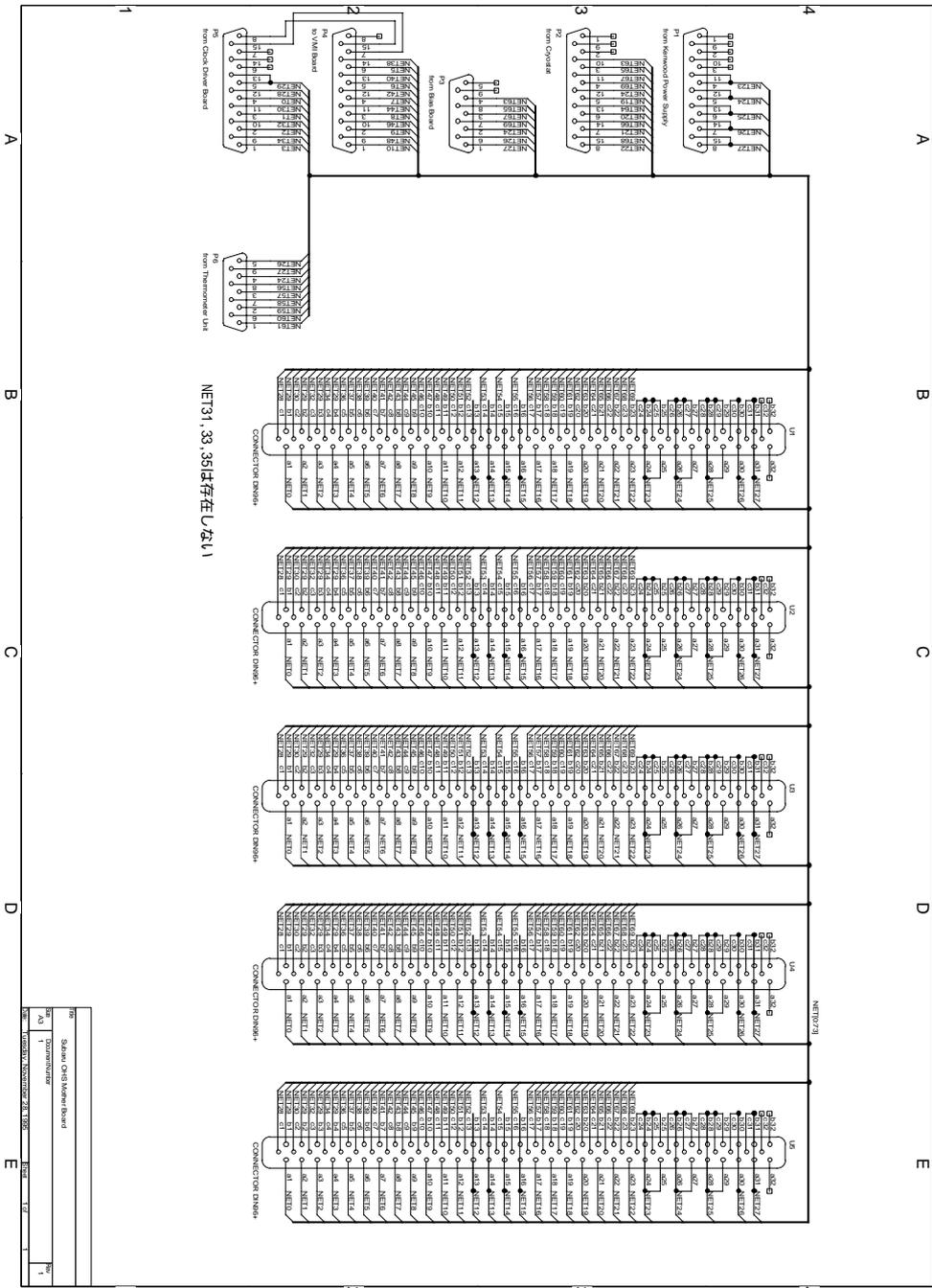






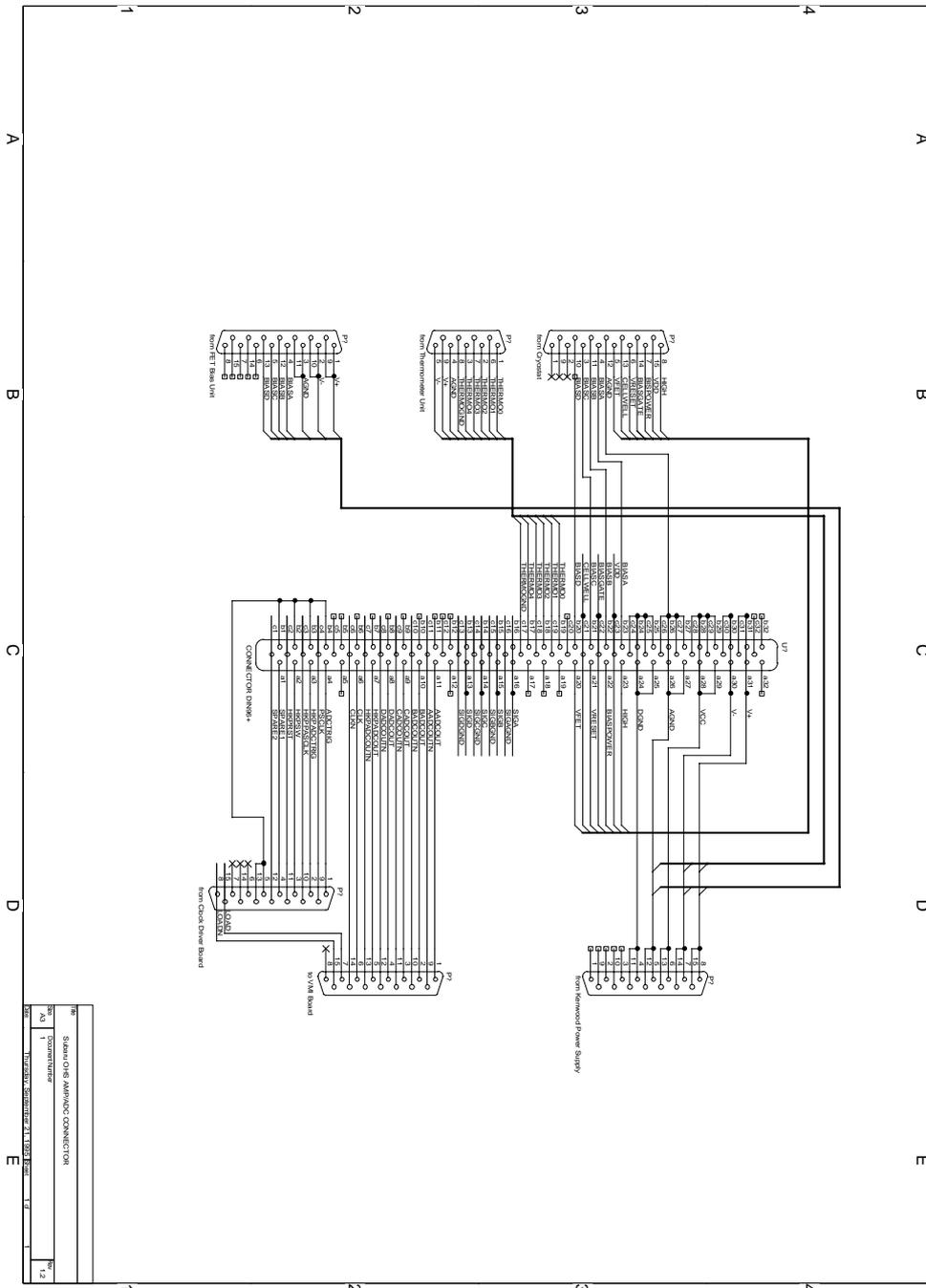
Title		
CISCO Clock Driver Board		
Size	Document Number	Rev
A4	Clock Driver Unit	2.0
Date:	Friday, June 21, 1996	Sheet 1 of 1

D.4 マザーボード

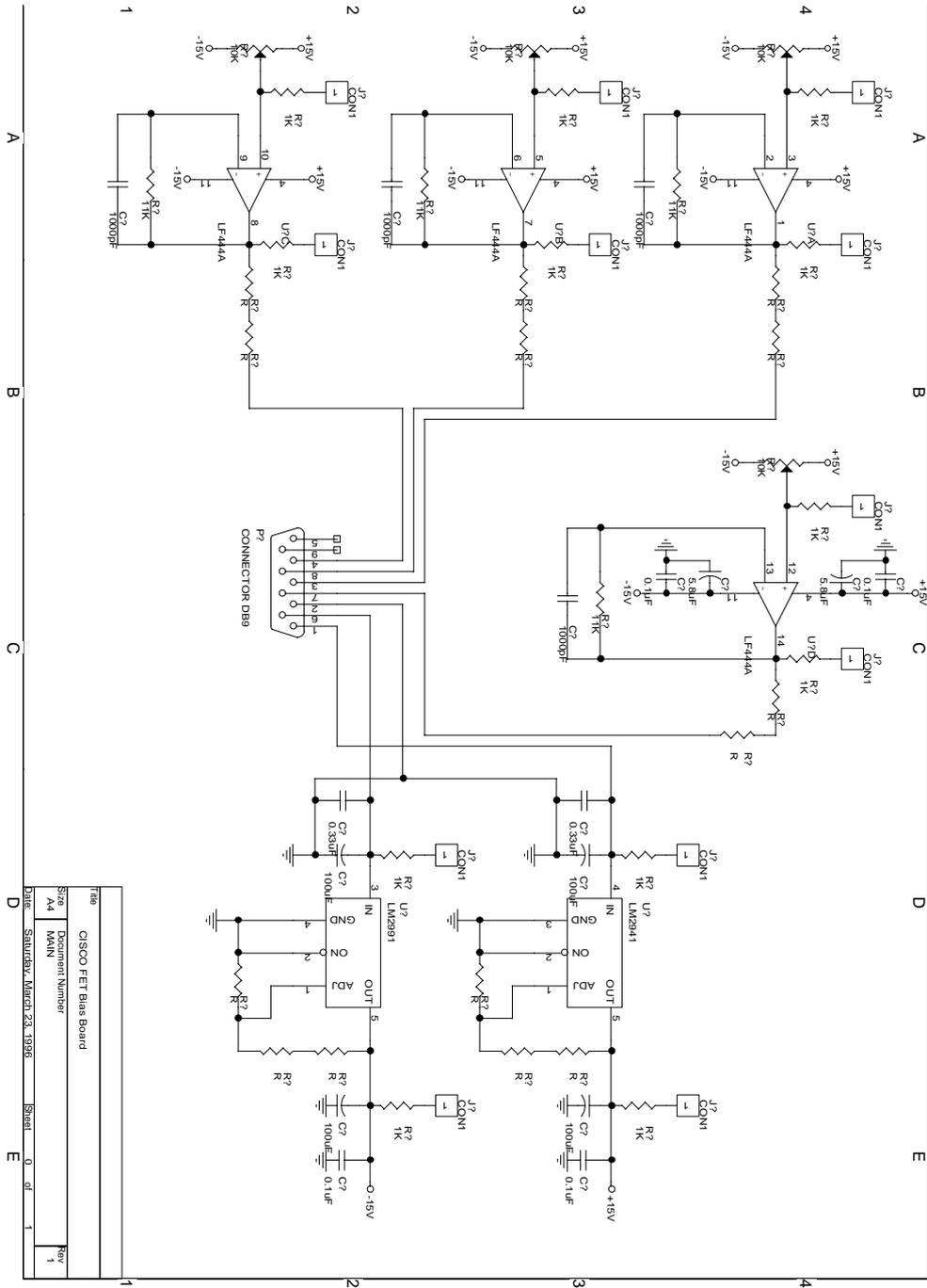


00	Serial Chip Memory Board
01	COMPARATOR
02	AD
03	1
04	1
05	1
06	1
07	1
08	1
09	1
10	1
11	1
12	1
13	1
14	1
15	1
16	1
17	1
18	1
19	1
20	1
21	1
22	1
23	1
24	1
25	1
26	1
27	1
28	1
29	1
30	1
31	1
32	1
33	1
34	1
35	1
36	1
37	1
38	1
39	1
40	1
41	1
42	1
43	1
44	1
45	1
46	1
47	1
48	1
49	1
50	1
51	1
52	1
53	1
54	1
55	1
56	1
57	1
58	1
59	1
60	1
61	1
62	1
63	1
64	1
65	1
66	1
67	1
68	1
69	1
70	1
71	1
72	1
73	1
74	1
75	1
76	1
77	1
78	1
79	1
80	1
81	1
82	1
83	1
84	1
85	1
86	1
87	1
88	1
89	1
90	1
91	1
92	1
93	1
94	1
95	1
96	1
97	1
98	1
99	1
100	1

マザーボードの配線と信号の対応図



D.5 バイアスボード



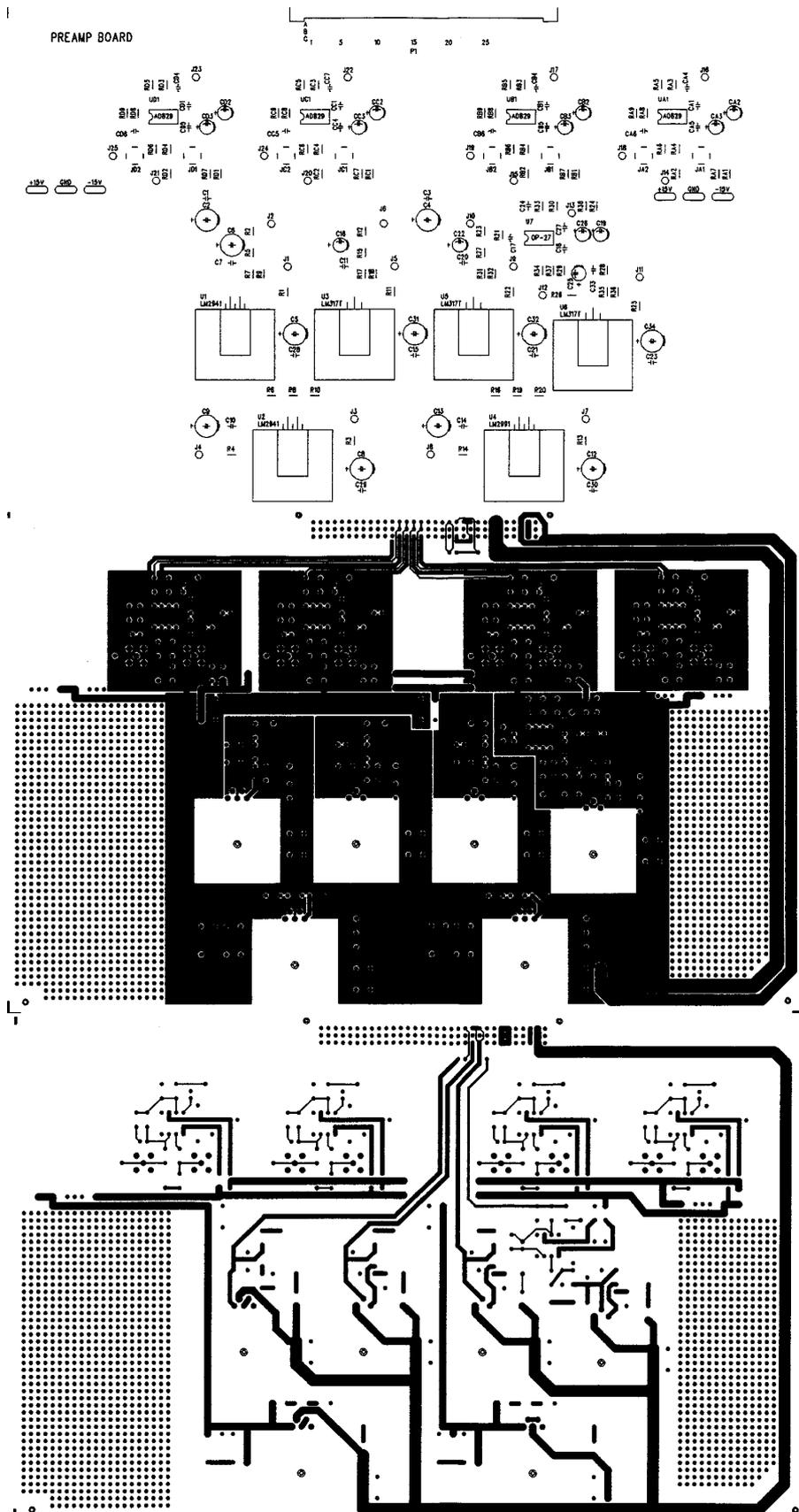
File	CISCO FET Bias Board
Size	A4
Document Number	MAIN
Date	Saturday, March 23, 1996
Board	0 of 1
Rev	1

付録 E

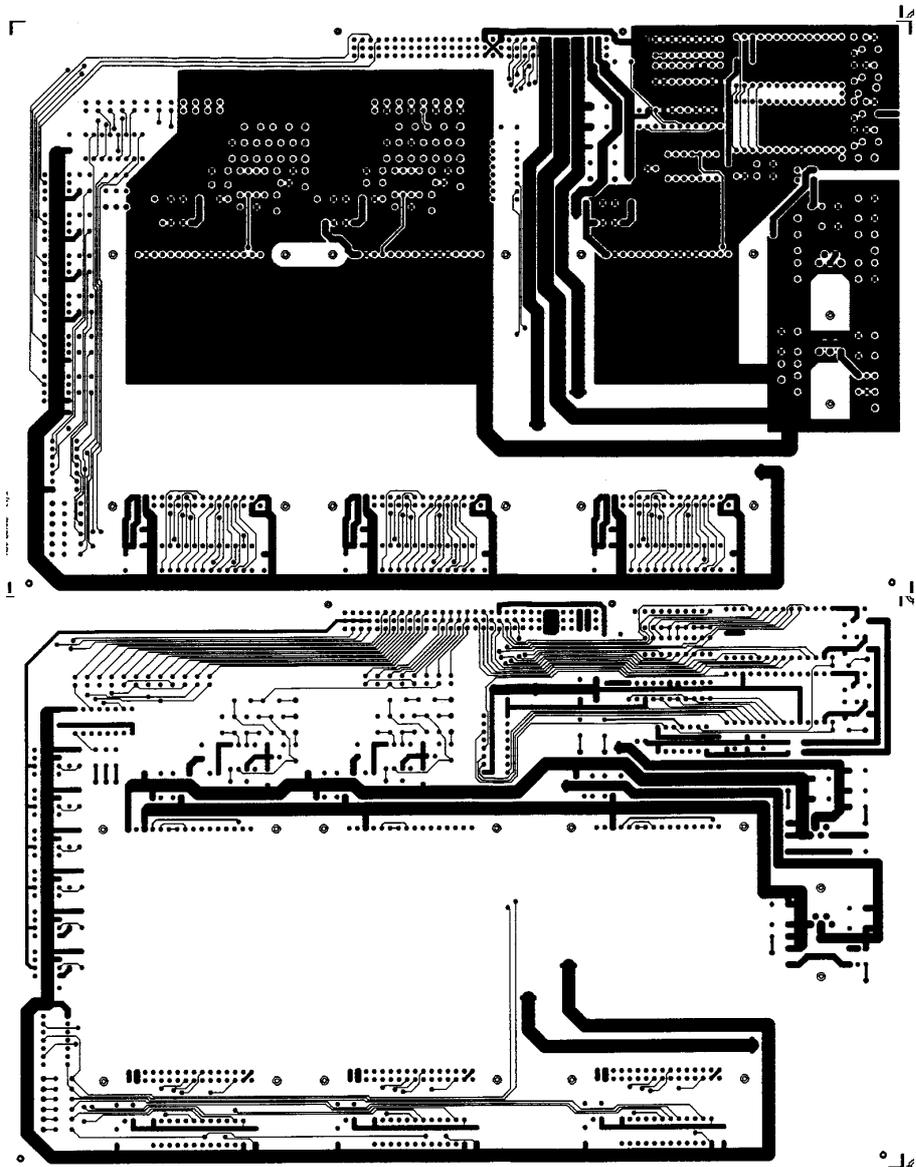
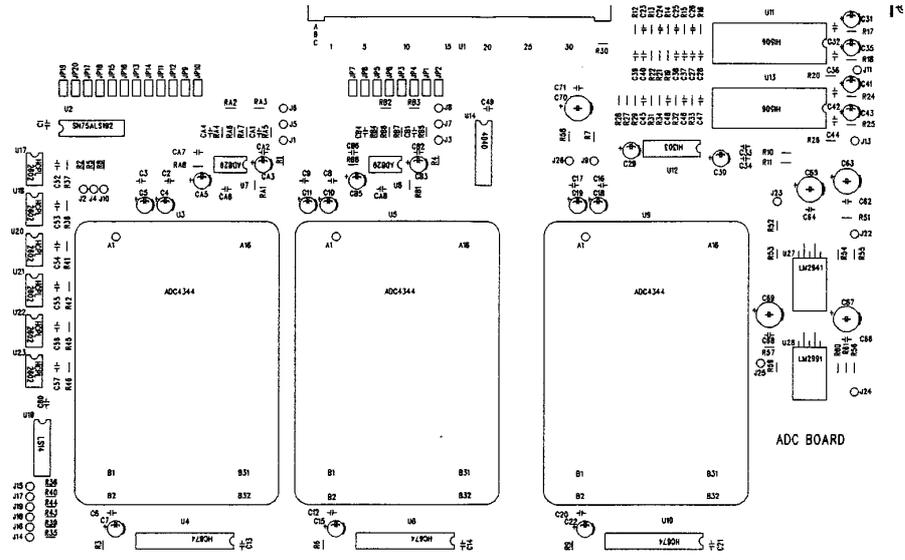
プリント基板パターン

ここではプリアンプボード、ADC ボード、クロックドライバボードの部品配置とプリントパターンを示す。それぞれのボードについて上から順に部品配置、部品面のパターン、半田面のパターンを示している。

E.1 プリアンプボード



E.2 ADC ボード



E.3 クロックドライバボード

