

Fan-out ボードの駆動試験

本原 顕太郎

1996 年 11 月 18 日

概要

本物の fan-out ボードに信号を入力して出力を見た。増幅の線形性などには問題はなかった。
また、Ch.1 の信号出力部分がシールドとショートしていることがわかった。これに関しては、ショートしているとおぼしき半田を削り、アルコールで拭くことにより解決した。

1 実験結果

実験結果のデータは、それぞれのチャンネルの Signal の FET に関して、

```
motohara/Experiment/adc_read/961115/961115_ch1.dat
                                961115_ch2.dat
                                961115_ch3.dat
                                961115_ch4.dat
```

に収められている。データの意味は以下の通り。

Col.1 読み出したフレームのイメージデータ (IRAF) の名称。イメージデータはkiyomizu の/data にある。

Col.2 サンプリングに用いたクロックの名称

Col.3 Signal FET の V_G

Col.4 Signal FET の V_S

Col.5 Reference FET の V_G

Col.6 Reference FET の V_S

Col.7 ~ 11 イメージフレームをimstat にかけた結果。

2 Fan-out ボード上の FET の特性

それぞれのチャンネルの Signal FET の $V_{GS} - I_{DS}$ 関係は図 1 のようになった。また、 $V_{GS} - I_{DS}$ を

$$I_{DS} = a(V_{GS} + V_P) \quad (1)$$

で fit した時のパラメータは以下の通りである。

Ch.	a	V_P
1	9.278736e-04	1.102031e+00
2	9.145829e-04	1.089421e+00
3	9.639658e-04	1.121596e+00
4	9.170570e-04	1.085083e+00

これらの値は、いずれも以前に冷却実験した FET のものよりも 2 割程度小さい値である。

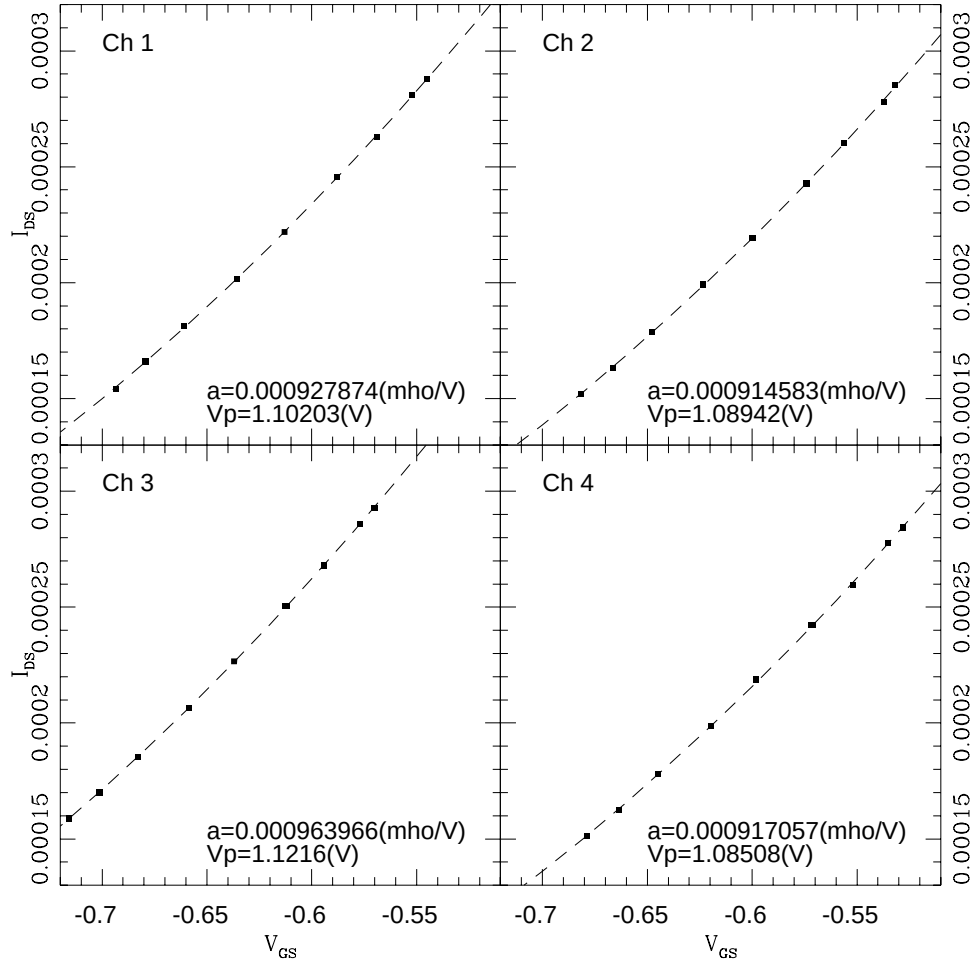


図 1: $V_{GS} - I_{DS}$ 関係。破線は式 (1) でフィットしたもの、右下の数値がそのパラメータ。

3 $V_G - ADU$ 関係

入力電圧 V_G とサンプル後の ADU の関係は図 2 のようになった。一見して、線形性は良く保たれているように見える。これを直線

$$ADU = a V_G + b \quad (2)$$

で fit した結果のパラメータは以下の通りである。

clk	Ch.	a	Δa	b	Δb	χ^2	N
test11frp	1	67601.953125	9.276219e+00	-67406.234375	1.668826e+01	7.663571e+02	10
	2	67673.890625	7.629982e+00	-67576.203125	1.281650e+01	1.423029e+03	10
	3	62919.265625	1.034357e+01	-68031.460938	1.805119e+01	4.938215e+02	10
	4	69958.648438	7.444723e+00	-66800.859375	2.229709e+00	3.069998e+03	10
test3frp	1	67443.359375	4.609315e+00	-67398.242188	6.909442e+00	4.463413e+03	10
	2	67667.421875	4.650955e+00	-67461.164062	7.376347e+00	3.833892e+03	10
	3	62754.089844	5.675810e+00	-67976.054688	8.424926e+00	2.280731e+03	10
	4	70272.843750	5.510278e+00	-67150.914062	8.330269e+00	3.066581e+03	10

これからわかるのはまず、クロックを変えることによる a, b の変動が見られるということである。原因についてはわからないが、考えられるのは温度変化など外部環境の変化による増幅性能のドリフトであろう。

また、 χ^2 の値が極めて悪い。この原因に関してはもっとも効いているのは実際にはこの入力 - 出力の関係が直線ではなく、二次関数であるということにある。これは fan-out ボード上の FET のバッファが linear でないことによっている。試しにプリアンプ入力電圧 V_{amp} と ADU の関係を先ほどと同様に fit すると、以下のようになる。

clk	Ch.	a	Δa	b	Δb	χ^2	N
test11frp	1	125933.281250	2.304622e+01	-82601.750000	2.044991e+01	9.693658e+01	10
	2	125300.945312	1.811480e+01	-83017.609375	1.574479e+01	2.493194e+02	10
	3	123212.890625	2.563526e+01	-82874.765625	2.198929e+01	5.512294e+01	10
	4	127103.218750	7.958095e+00	-82420.578125	9.185342e+00	5.531951e+02	10
test3frp	1	125859.421875	1.052971e+01	-82686.140625	8.476594e+00	8.299963e+02	10
	2	125260.875000	1.081760e+01	-82963.453125	9.071237e+00	6.080649e+02	10
	3	123116.906250	1.309090e+01	-82904.507812	1.027504e+01	1.110957e+03	10
	4	127498.023438	1.250529e+01	-82689.515625	1.025771e+01	1.379008e+03	10

あきらかに、最大で一桁近く χ^2 が小さくなっている。それでも χ^2 はまだ極めて悪い値であるが、やはりこれは ADC 以外の要因によるドリフトのせいであると考えるのが妥当だろう。ちなみに $V_{amp} - ADU$ 関係でクロックが早い方 (test3frp) が χ^2 が悪くなっているのは、クロックが早い方が ADU の STDDEV が小さく (1/3 程度) なっているせいであろう。

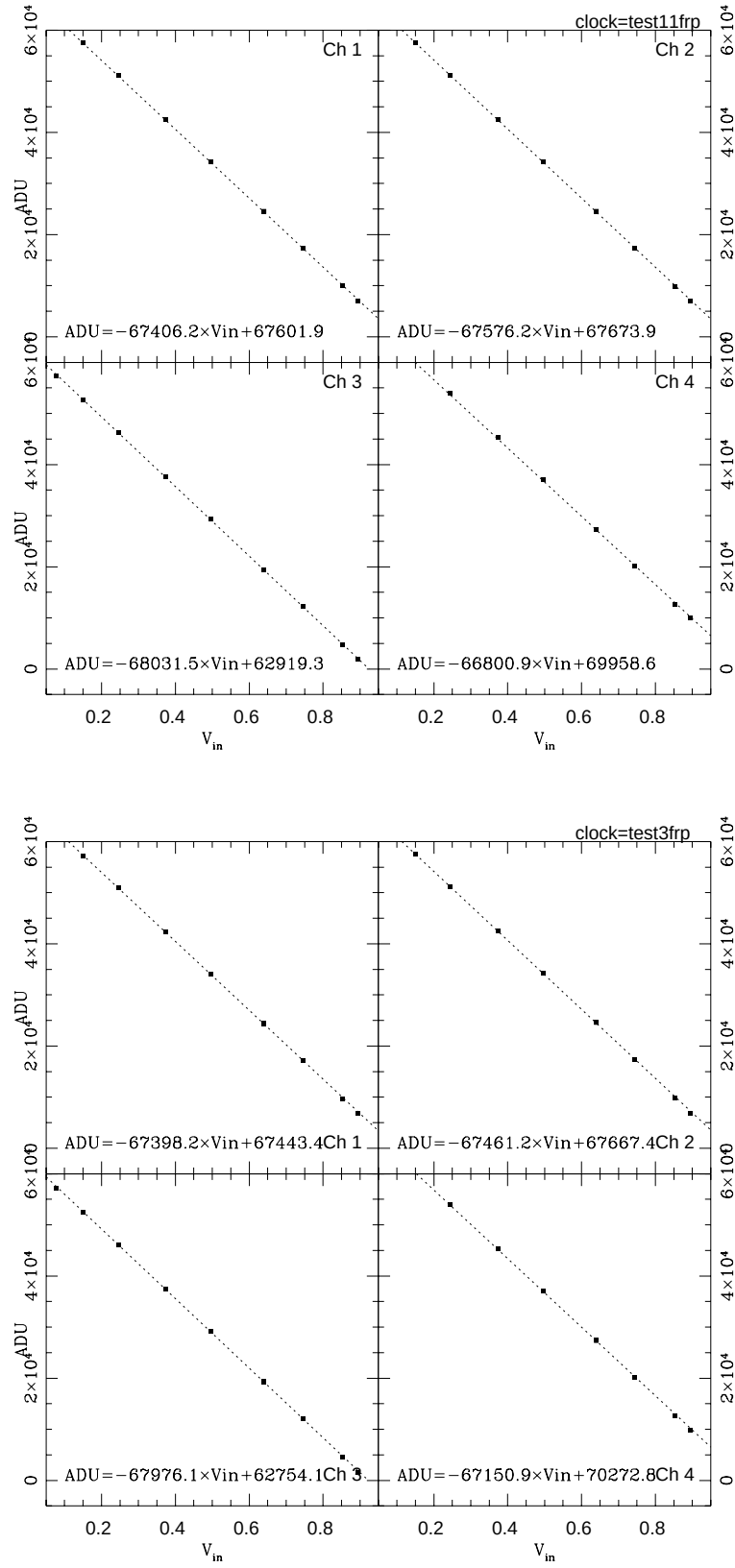


図 2: $V_G - ADU$ 関係。破線は式 (2) で fit したもの。上が $clk=test11frp$ 、下が $test3frp$ のもの。