

## マルチプレクサ駆動試験 2

本原 顕太郎

1997 年 2 月 14 日

### 概要

マルチプレクサの**biasgate** 電圧を 4.0V にすると、確かに ADC 入力レベルが AD 変換レベルになるのだが、その波形をオシロスコープでモニタしたところ、極めて変な値になった。やはり**bisagate** は 3.5V かそれ以下で用いなければならないようだ。

今回はとりあえず、ペア FET に入れているバイアス電圧の抵抗を変えることにより調整することにする。

また坂本さんとの議論を通じて、ノイズのことも考えると、将来的にはこのバイアス電圧は廃止してプリアンプか ADC フィルタで DC オフセットを変えられるようにすることにした。

## 1 出力波形と **biasgate**

### 1.1 試験の条件

テストデュワーを真空中に引き、液体窒素温度に冷却して、**biasgate** をさまざまに変化させてチャンネル 1 の AD 変換器の入力口をオシロスコープでモニタした。

気圧は  $\sim 3 \times 10^{-7}$  torr、温度は 77K。また、駆動クロックは **non\_stop**。

### 1.2 出力波形

まず、**biasgate**=3.00, 3.50, 3.70, 3.80 の時の出力波形を示す。**biasgate** が大きくなるに従ってピクセル切替えて出ているスパイクの幅が広がって出力レベルが安定しなくなっていくのがわかる。また、出力が安定しなければならないピクセルのスパイクの間の領域でもノイズレベルがかなり高い上にそのノイズは何かパターンを持って現れるのがわかる。

さらに**biasgate** を大きくしていくと、ピクセル間のスパイクがなくなり、何か変な出力になってしまう。これを図 5 に示す。**biasgate** は 3.80, 3.90, 4.00, 4.30 の 4 通りをとった。

以前の実験で**biasgate** を大きくするとレーザースポットの像がぼんやりとぼやけてしまう現象はこのせいだろうと考えられる。

いずれにせよ、この結果は**biasgate**=3.5 V で用いなければならないことを示しており、その時の検出器からの出力の DC レベルは 0.5V 程度ではなく 2.0V 近くになっていることになる。少なくとも外付けのペア FET ソースフォロワの入力電圧を 2.0V 近くまで引き上げてやらなければならないことを意味する。次でこのマルチプレクサからの出力レベルを考える。

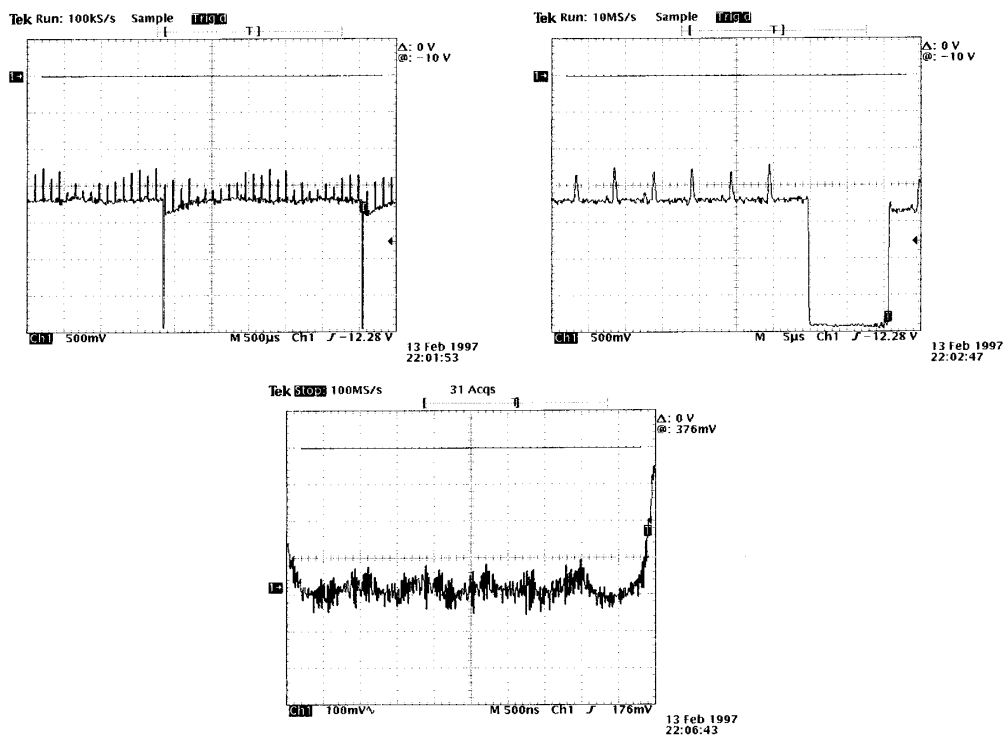


図 1:  $\text{biasgate} = 3.00\text{V}$  のとき。

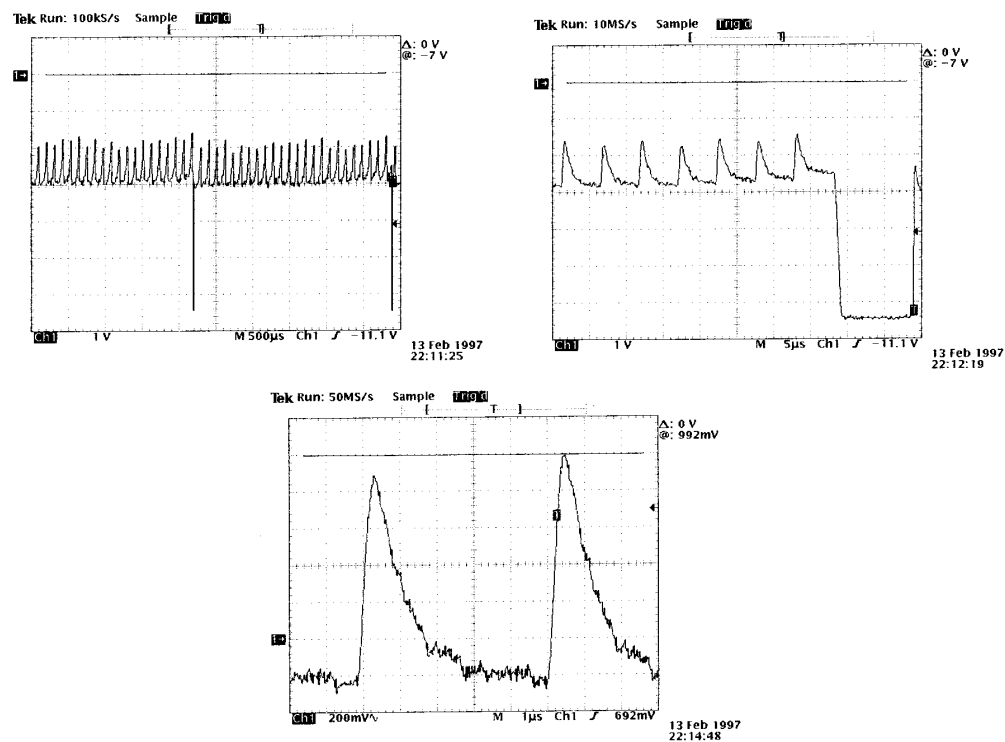


図 2:  $\text{biasgate} = 3.50\text{V}$  のとき。

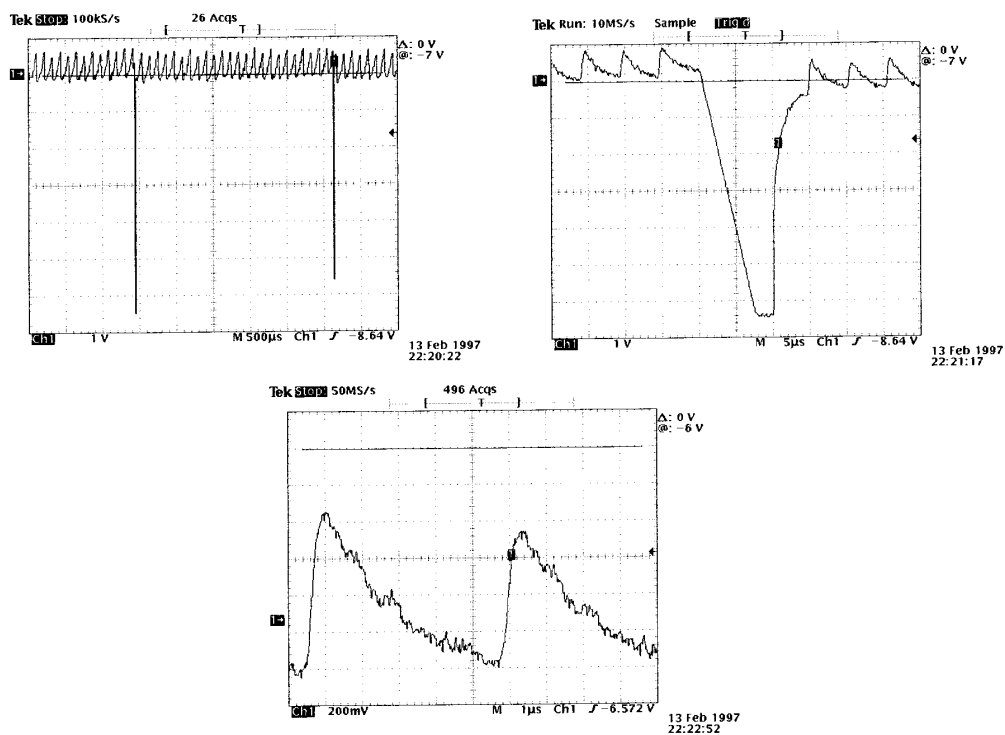


図 3: biasgate=3.70V のとき。

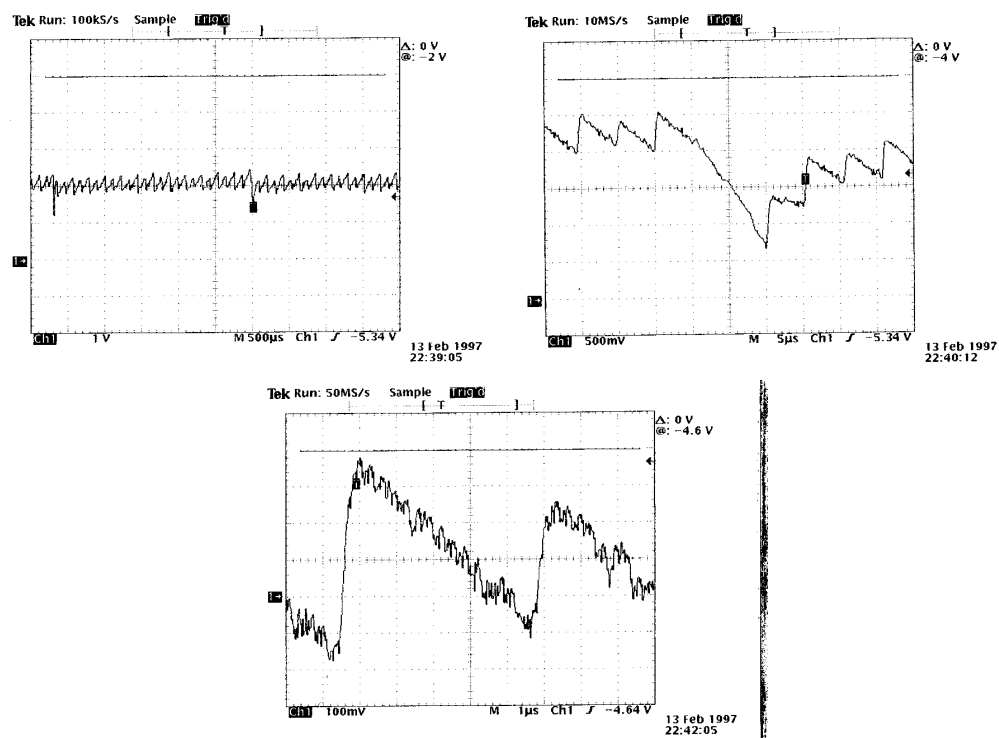


図 4: biasgate=3.80V のとき。

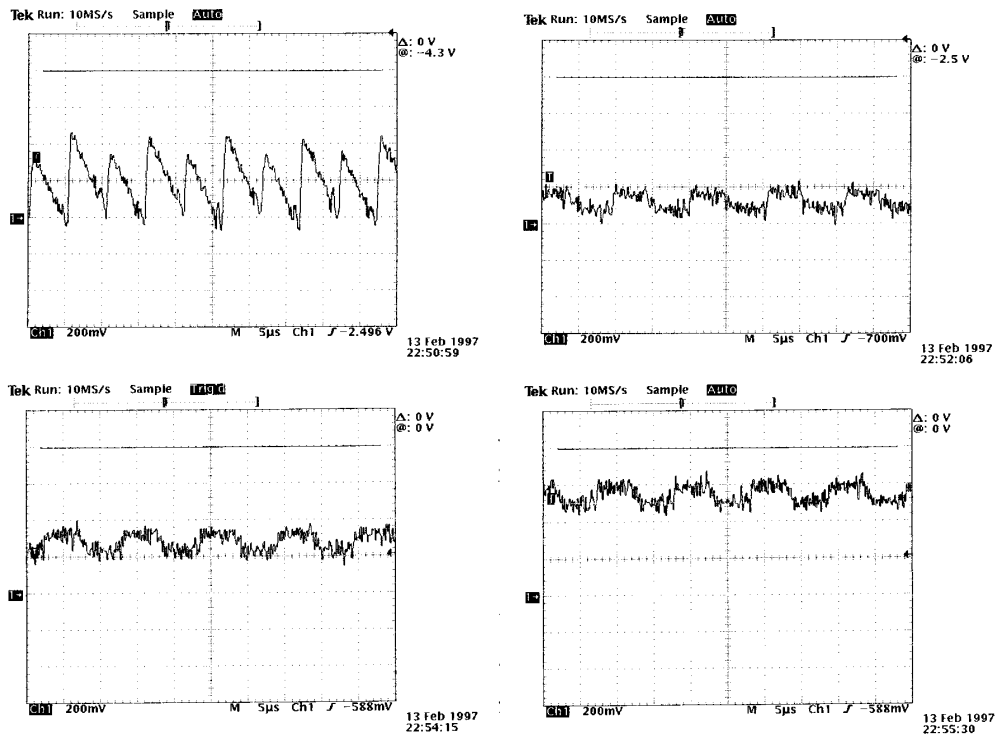


図 5: 左上から順に biasgate=3.80, 3.90, 4.00, 4.30 のとき。biasgate=3.80 の時でも出力波形はすでに鋸状になってしまっているのに、これが 3.90V をこえると今度はピクセル毎交互に互い違いの出力になってしまう。

## 2 検出器からの出力レベル

先ほどのオシロの出力から大体の出力の DC レベルを調べたのが下の表である。ここでの DC レベルはピクセルのギザギザの下の端をおおよそとったものである。さらにこれをグラフにしたのが図 6。

今、ペア FET に入力されているゲート電圧は 0.917V であることがわかっている。ソース抵抗は  $5k\Omega$  であり、さらに実装されている FET の特性はわからないものの、以前同じ型番の FET を冷却試験しているのでこの結果から  $a = 1.2 \times 10^{-3}(\text{mho})$ ,  $V_p = 1.45\text{V}$  と仮定して検出器からゲートへの入力されている電圧を推定した。

結果、やはり検出器からの出力レベルは 2V 近くあることがわかった。これにあわせて、ペアの FET への入力も 2V 付近まで持っていくことができるようにしなければならないが、幸いにもこれはバイアスボードについている  $290k\Omega$  の出力抵抗を  $100k\Omega$  に変更することにより当面は対処できる。

ただ、将来的にノイズ耐性を考えると、出力に直接影響してくるような部分に外部からの電圧を入れるのは極めてノイズを拾い易くしているので、この方法は廃止してできれば増幅後の ADC 入力フィルタあたりで DC オフセット調整ができるようにすべきである。

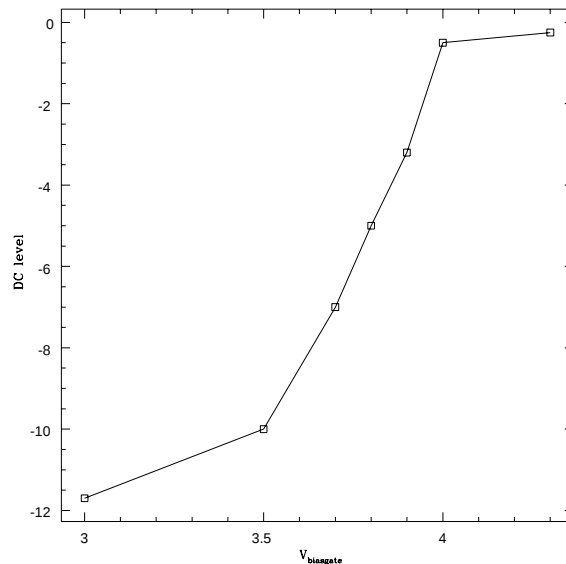


図 6: biasgate-DC level 関係。biasgate=3.8V あたりで急激に出力レベルが変化するのがわかる。

| biasgate | DC level | $\Delta V_S$ | $V_S$ | $V_G$ |
|----------|----------|--------------|-------|-------|
| 3.00     | -11.7    | 0.93         | 2.75  | 1.98  |
| 3.50     | -10.0    | 0.79         | 2.61  | 1.82  |
| 3.70     | -7.0     | 0.56         | 2.38  | 1.56  |
| 3.80     | -5.0     | 0.40         | 2.22  | 1.37  |
| 3.90     | -3.2     | 0.25         | 2.07  | 1.21  |
| 4.00     | -0.5     | 0.040        | 1.86  | 0.97  |
| 4.30     | -0.25    | 0.020        | 1.84  | 0.94  |

表 1: biasgate と出力の関係。左から順に biasgate 電圧、それ以降順に、AD コンバータ入力、プリアンプの差動入力、FET ソースフォロワのソース出力、検出器からの出力電圧である。