

クロックドライバボードの駆動試験：信号の delay

本原顕太郎

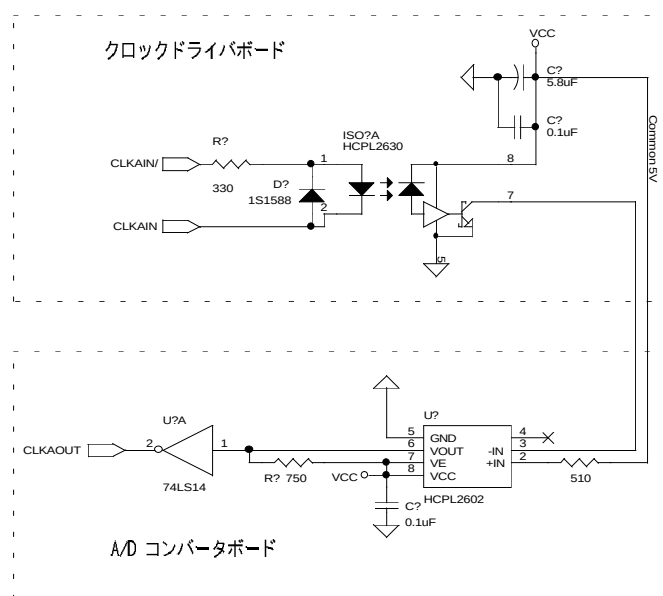
1996 年 6 月 19 日

概要

クロックドライバボードと ADC ボード間のクロックの受渡しの方法を改善した。
それとともに、クロックドライバボードの入力と ADC ボードの 74LS14 の出力間のクロック伝達の遅れを測定した。遅れはおおよそ $160 \sim 170ns$ になることがわかった。

1 フォトカプラ間の接続の変更

クロックドライバボードの HCPL2630 と ADC ボードの HCPL2602 の接続を、以下のように変更した。これにより、より安定した信号伝達が期待できる。



2 クロックの遅れ

74LS14, HCPL2602, HCPL2630 のそれぞれの出力の波形を入力との差動の波形と比較して、遅れを求めた。

2.1 出力波形

入力波は $500kHz$ 、オシロで出力の 3 2 回平均の波形を得た。結果はそれぞれ以下の通り。

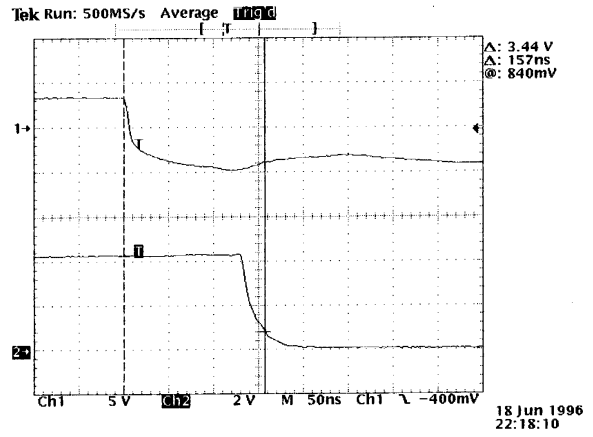
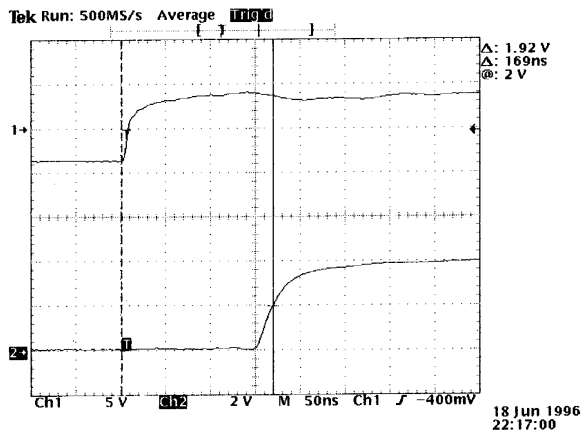


図 1: それぞれの図の下が 74LS14 の出力波形、上が差動入力波形。これが最終的な回路全体での遅れである。立ち上がり、立ち下がりともに 160 ~ 170ns 程度の遅れが出るのがわかる。

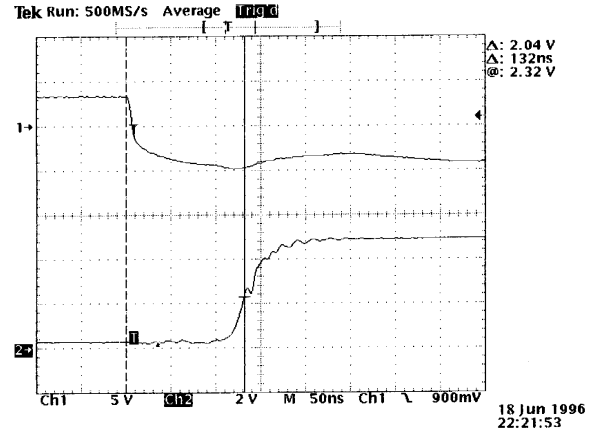
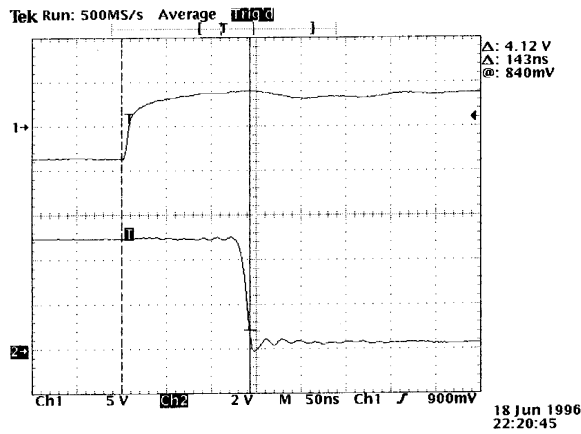


図 2: それぞれの図の下が HCPL2602 の出力波形、上が差動入力波形。

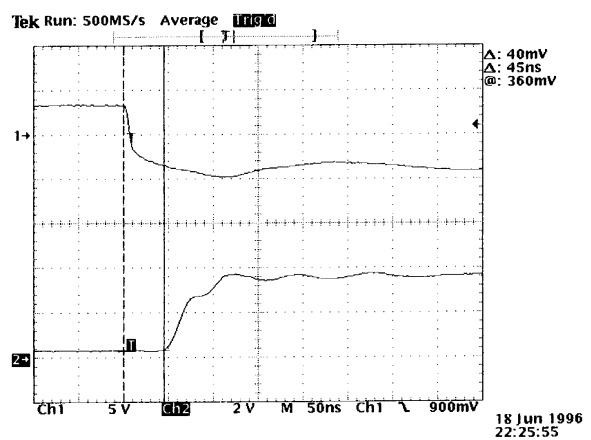
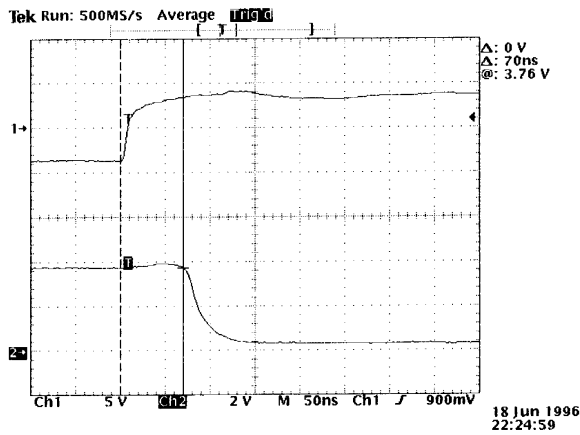


図 3: それぞれの図の下が HCPL2630 の出力波形、上が差動入力波形。

2.2 遅れ

「遅れ」はそれぞれの場合について以下のように定義した。

74LS14 出力 TTL レベルに合わせる。差動入力に変化し始めた瞬間から、立上り時は 2.0V に達するまで、立ち下がり時は 0.8V に落ちるまでをそれぞれ遅れとして定義する。

HCPL2602 出力 同上

HCPL2630 HCPL2602 側の入力電流レベルが良くわからないので、とりあえず、入力に変化し始めた瞬間から、出力が変化し始めるまでとする。（はっきりいってこの値にはほとんど意味はない。）

これにより、それぞれのポイントでの遅れは以下ようになった。

出力	立ち上がり	立ち下がり
74LS14	169(ns)	157
HCPL2602	143	132
HCPL2630	70	45