

ADC ボード駆動試験4：クロックの高速化

本原顕太郎

1996 年 7 月 10 日

概要

実際に用いるシールド線で各回路を接続したところ、クロックドライバボードと ADC ボード間での PSCLK の搬送が 3MHz 程度でカットオフされていることが判明した。

原因はケーブルの持つ浮遊容量であることは間違いないので、回路定数を一部変更して周波数特性をあげる工夫をした。

その結果とりあえずクロックは伝わって、350(kHz/pix) で AD 変換するようになったものの、VMI への取り込みが全く行なわれていない。どうやら原因は、形のゆがんだ PSCLK が VMI 側の入力フォトカプラを正常に駆動できていないためらしい。これに関しては実験を行なって確認する必要がある。(それとも他に原因があるのか?)

1 クロックが搬送されない。

各種ボードを回路ボックスに収容し、実際に用いるケーブル・コネクタでボックス間を接続して読みとり実験をしたところ、350(kHz/pix) の速度では AD 変換を行なうことができなかった。

クロックドライバと ADC ボード間の接続は、図 1 のようになっている。

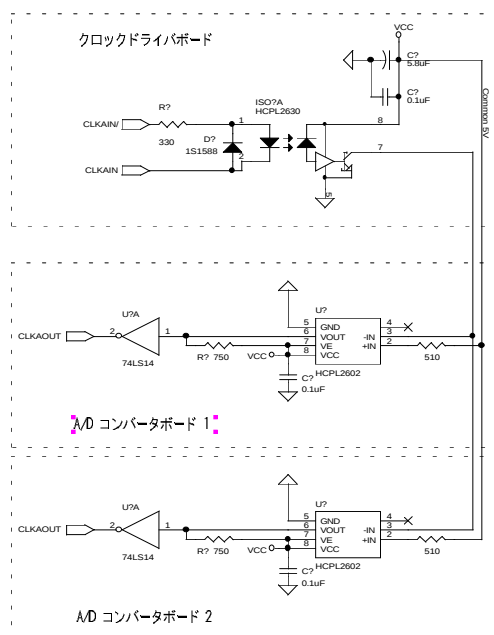


図 1: クロックドライバボードと ADC ボードの接続の模式図。

1.1 原因

原因を調べたところ、PSCLK が ADC ボード上まで送られていないことが判明した。図 2、3 に波形を示す。

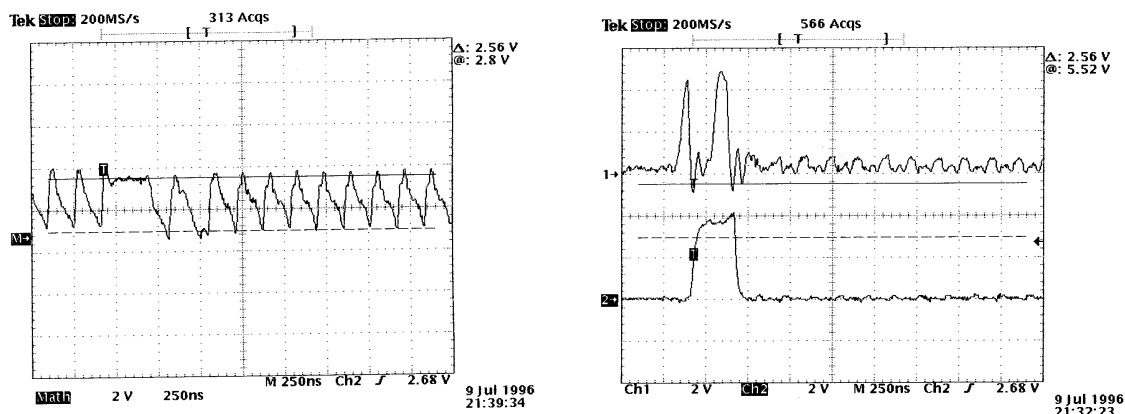


図 2: 本番用のケーブルによるクロックの搬送状況。左は HCPL2602 の入口についている 510Ω の抵抗の両端の電位差で、電流量に比例するもの。立ち上がり、下がりともかなり鈍ってしまっているのがわかる。右は HCPL2602 の出力。クロックは全く伝わっていない。

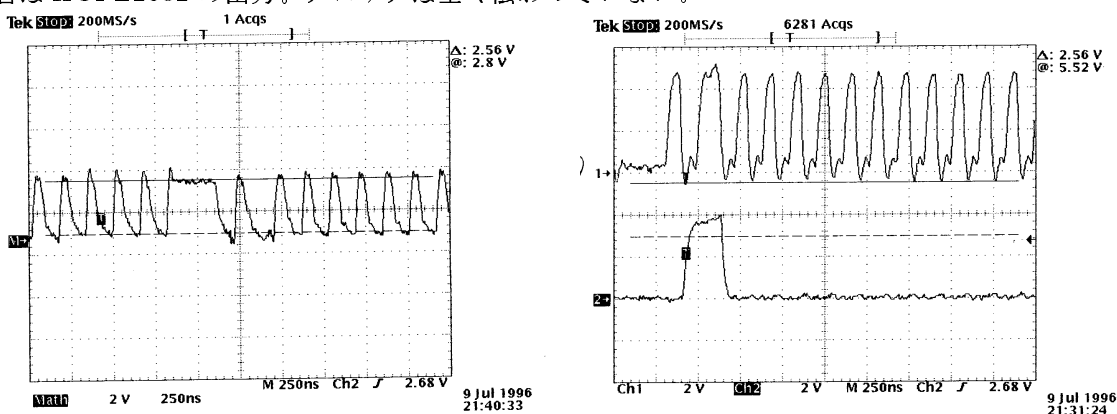


図 3: これまで用いていた簡易ケーブルによるクロックの搬送状況。入力電流の波形が上に比べてきれいなのがわかる。これくらいの鋭さが必要のよう。

入力の波形が鈍ったことからわかるように、クロックドライバボードと ADC ボード間の信号の伝達をそれまでの簡単な、比較的短いケーブルからより長く、間に丸型コネクタが一つはさまっているもので行なうようになって、浮遊容量が大きくなったのが根本的な原因である。

1.2 解決策

この問題を解決する方法としては、HCPL2602 の入力についている 510Ω の抵抗をより小さいものにして、時定数を落すくらいしか考えられない。この際問題になるのは、クロックドライバ側の HCPL2630 のオープンコレクタに流し込める電流に限界があるということである。

オープンコレクタ側で受けることのできる電流の最大定格は $25(\text{mA})$ であるため、HCPL2602 一つあたり 12mA 程度の電流が限界となる。

2 HCPL2602 入力の抵抗 - 電流関係

入力口の抵抗の値をいくつかとって、入力電流と抵抗値の関係を求めた。

17.5(kHz/pix) のクロックを入力し、抵抗の両端の電位の振幅から求めた。二つの HCPL2602 に対して行なった。結果は以下の通り。

HCPL2602-1

R(Ohm)	V(volt)	i(A)
510	2.84	5.569e-3
330	2.6	7.879e-3
255	2.52	9.882e-3
175	2.42	13.829e-3

HCPL2602-2

R(Ohm)	V(volt)	i(A)
510	2.74	5.373e-3
330	2.54	7.697e-3
255	2.44	9.569e-3
175	2.36	13.486e-3

これをグラフ上にプロットしたのが下図。

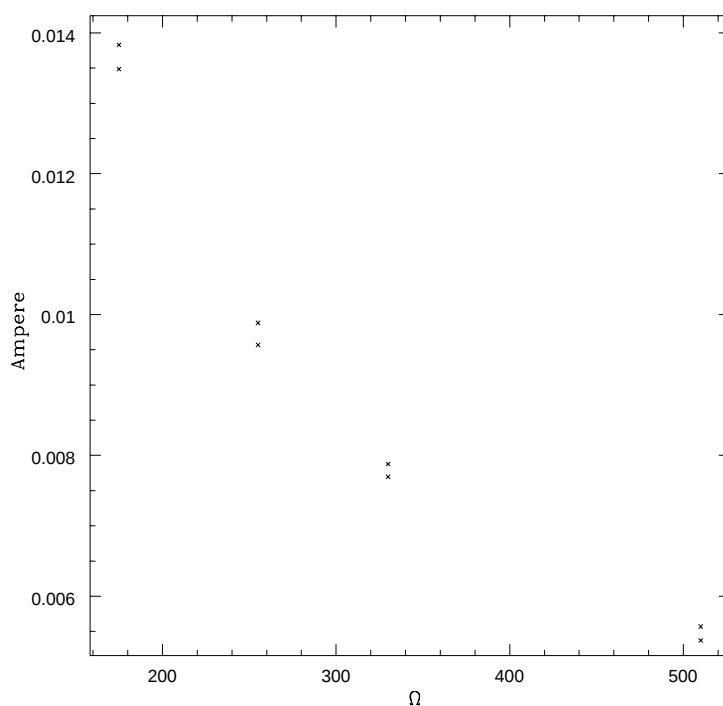


図 4: クロックドライバボードと ADC ボードの接続の模式図。

とりあえず、最大定格ぎりぎりまでの電流は流さず、270Ω の抵抗 (10mA 足らず) をとりつけて実験してみる。

3 270Ω による結果

3.1 ADC は駆動した

HCPL2602 の入力抵抗を 270Ω にしたときのクロックの搬送状況を以下に示す。

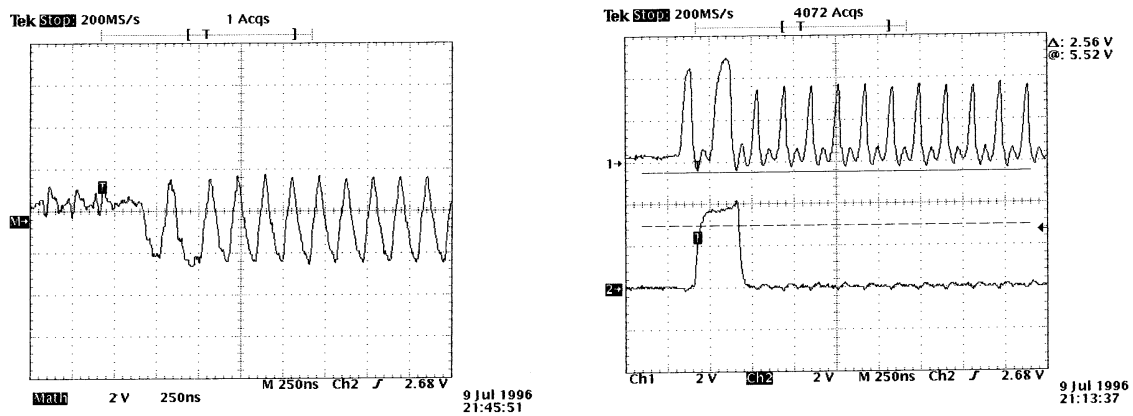


図 5: 左は HCPL2602 の入口についている 270Ω の抵抗の両端の電位差。立ち上がり、下がりともまだ鈍っている。右は HCPL2602 の出力。まだ出力波形が十分に立ち上がる前に落ちてしまっている。

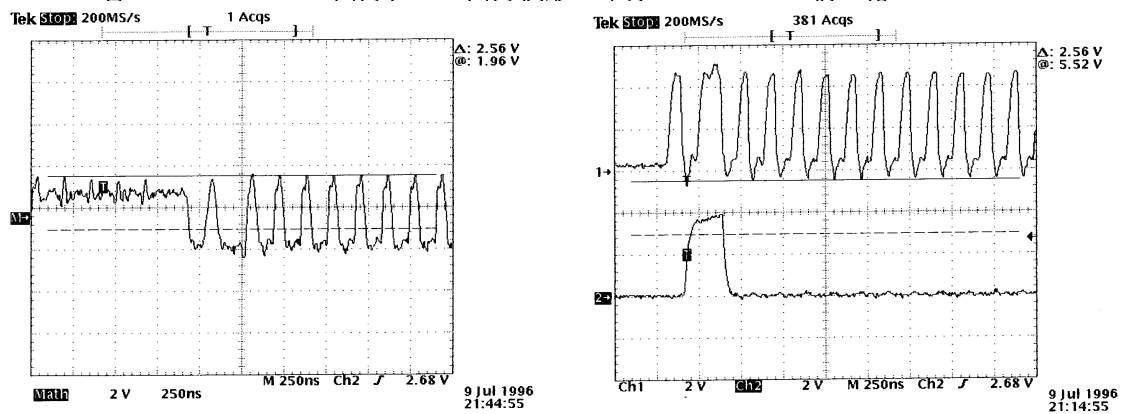


図 6: これまで用いていた簡易ケーブルによるクロックの搬送状況。まだ圧倒的に波形はきれい。

とりあえず、クロックは入ってきた。ADC の出力を見ても正常に変換を行なっている。ただ、図 5 をみてもわかるように、十分に立ち上がる前に落ちてしまっている。これで安定した運用を行なうには不安が残るし、この後述べるように結局 VMI への読み込みはうまくいかなかった。

もしも 350(kHz/pix) の読み込みを行なうつもりなのなら入力抵抗をより小さいものにする必要がある。

3.2 VMI へは読み込めていない

先述したように、この条件のもと 350(kHz/pix) の読み込みを行なったところ、メモリ上には何も入力されなかった。

ADCtrig, load は正常に伝わっている様子であるため、原因は波形が変な PSCLK によるものであると考えた。VMI 入口での差動入力波形は以下のようにになっている。

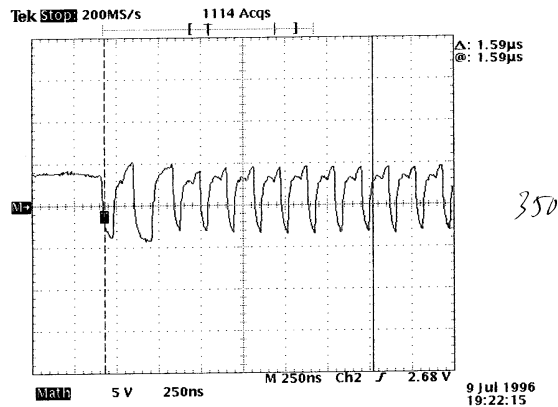


図 7: VMI 入口での PSCLK の波形。本来ならば上下対称でなければいけないが、それがかなり歪んでしまっている。

おそらく、VMI の入口のフォトカプラを駆動することができていないのだと思われるが、これは実験を行なって確認する必要がある。

4 しなければいけないこと

- HCPL2602 の入力抵抗をより小さいものに取り替えて実験
- 読み込みができない理由が本当にフォトカプラが動いていないためなのかを実験する。

とはいえ、現在 220(kHz/pix) のクロックでは調子良く動いてくれているわけで、これ以上の速度を望む理由はあるまいのだが。