

ADC ボード駆動試験 3：変換の安定性 (2)

本原顕太郎

1996 年 7 月 4 日

概要

プリアンプボードを含めた AD 変換の安定性を、ボードをボックスに収納した上で調べた。プリアンプボードの入口に乾電池の出力を抵抗分割した定電圧を与え、読み出しの安定性を見た。

低速読み出し (17.5kHz/pix) では安定して低ノイズで読み出しできるものの、高速で読み出すとヒストグラムがダブルピークになり、読み出しノイズが $\text{stddev}=14$ 程度に激増してしまった。

原因を調べたところ、電池から入力までの約 50cm のコードがボックス内部に走っているクロックをノイズとして拾い、それがアンプで 10 倍に増幅されて現れているらしいことがわかった。電池のコードを 10cm に縮めたところ、ダブルピークはなくなり、ノイズも $\text{stddev}\sim 1$ 程度に減少した。

1 はじめの実験

1.1 実験方法

プリアンプボード及びに ADC ボードをのせたマザーボードをボックスの中に収納し、そのプリアンプボードに乾電池を抵抗分割した端子を繋いだ。回路の配置、定数などは以下になっていた。

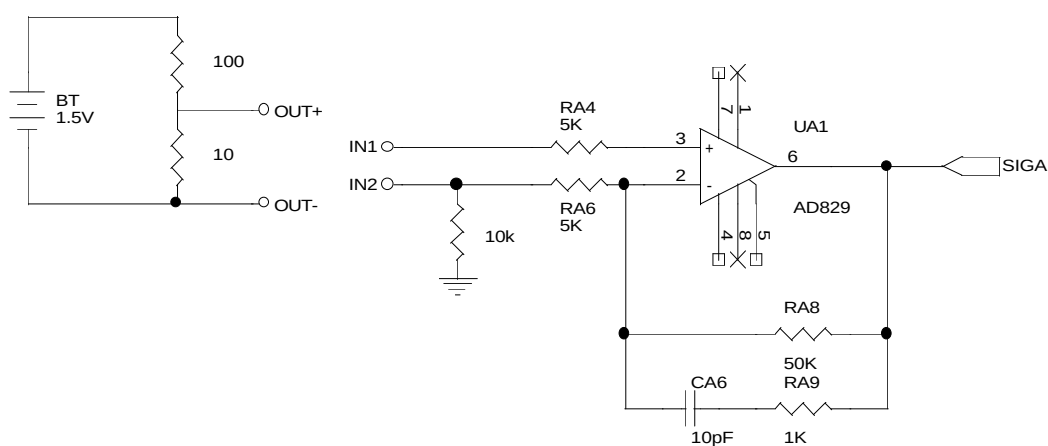


図 1: 実験に用いた乾電池の回路、及びにアンプ。IN1 を $10k\Omega$ を介して GND につないでいる。

入力電圧は端子をつなぐ前で 143.7(mV) であった。

1.2 結果

(OUT+)-(IN1), (OUT-)-(IN2) と繋いだ時
ログは以下の通り。

imagename	clk	NPIX	MEAN	STDDEV	MIN	MAX
960703_00	17.5k	262144	58448.	1.938	58441.	58456.
960702_01		262144	58447.	1.92	58439.	58454.
960703_02		262144	58444.	1.856	58437.	58461.
960703_03	175k	262144	58441.	14.29	58378.	58462.
960703_04		262144	58439.	14.46	58392.	58460.
960703_05		262144	58437.	14.42	58374.	58459.

960703_02 と 960703_05 のヒストグラムを以下に示す。175(kHz/pix) サンプリングではピークが3つ

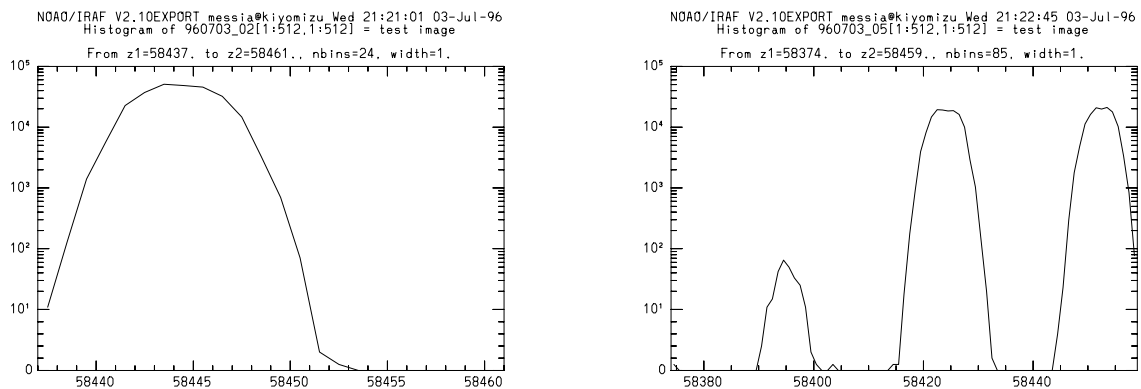


図 2: 左が 17.5(kHz/pix) サンプリング (960703_02)、右が 175(kHz/pix) サンプリング (960703_05)。

にわかれてしまっており、値も 17.5(kHz/pix) サンプリングと大幅にずれている。

(OUT+)-(IN2), (OUT-)-(IN1) と繋いだ時
ログは以下の通り。

imagename	clk	NPIX	MEAN	STDDEV	MIN	MAX
960703_06	17.5k	262144	6067.	3.812	6057.	6076.
960703_07		262144	6069.	3.839	6060.	6078.
960703_08		262144	6070.	3.832	6061.	6079.
960703_09	175k	262144	6071.	14.4	6022.	6095.
960703_10		262144	6072.	14.51	6006.	6096.
960703_11		262144	6073.	14.53	6001.	6097.

960703_08 と 960703_11 のヒストグラムを以下に示す。これも同様に 175(kHz/pix) サンプリングではピークが3つにわかれていた。それと同時に 17.5(kHz/pix) サンプリングまでダブルピークになっており、stddev も極めて悪い値を返している。

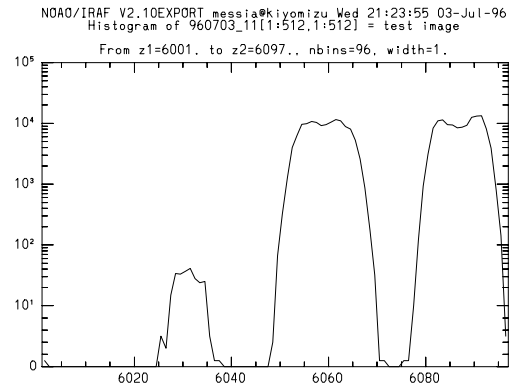
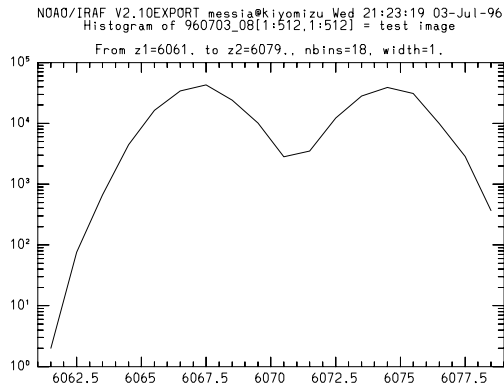


図 3: 左が 17.5(kHz/pix) サンプリング (960703_08)、右が 175(kHz/pix) サンプリング (960703_11)。

2 次の実験

2.1 原因究明

この読み出しの不安定性の原因は、ADC 入口のフィルターに入力した時には見られなかったものであることから、どこかでノイズを拾っているせいであると考えられる。とりあえず考えられるのは

1. 増幅後の信号がマザーボードを通る間でノイズを拾う
 2. 乾電池からアンプの入力まででノイズを拾い、それが増幅されている
- の二つである。というわけで、アンプの出力口に直接 1.5V を与えて AD 変換をした。

2.2 結果

ログ及びヒストグラムは以下の通り。

imagename	clk	NPIX	MEAN	STDDEV	MIN	MAX
960703_12	175k	262144	45981.	0.9935	45977.	45985.
960703_13		262144	45981.	0.9869	45977.	45985.
960703_14		262144	45981.	0.9833	45977.	45985.

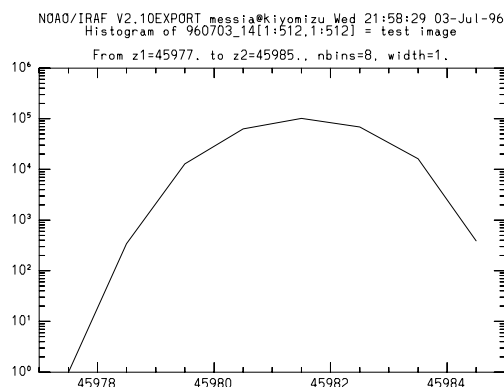


図 4: 以前に見えていたダブルピークなどは完全に見えなくなった。

やはり、電池のコードが原因らしい。

3 最後の実験

3.1 実験内容

電池のコードの長さが 50cm, 10cm と二通りの場合について 175(kHz/pix) での読み出しの安定性を見る。

この際、回路の配線を以下のように少し変更する。

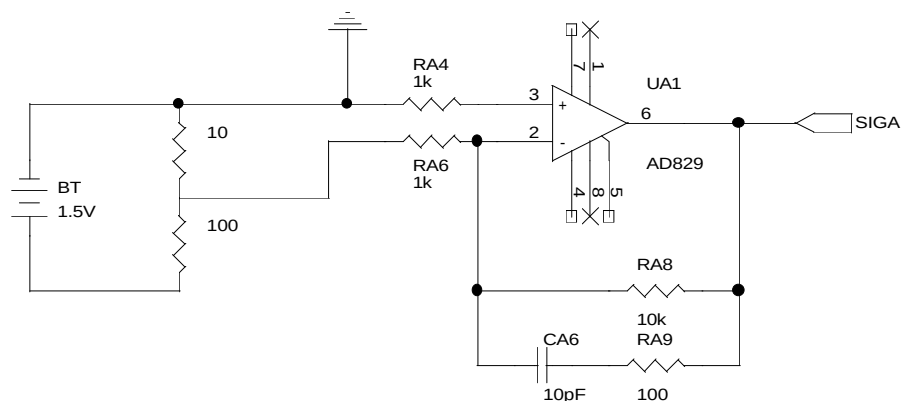


図 5: 変更された配線。IN1 を直接グラウンドに落してしまっている。

入力電圧は -144.7mV、ADC の入口で -1.99V。

3.2 結果

ログ及びにヒストグラムは以下の通り。

コード長 = 50cm

imagename	clk	NPIX	MEAN	STDDEV	MIN	MAX
960703_21	175k	261632	19594.	3.054	19581.	19602.
960703_22		261632	19594.	3.016	19580.	19601.
960703_23		261632	19595.	2.88	19582.	19604.

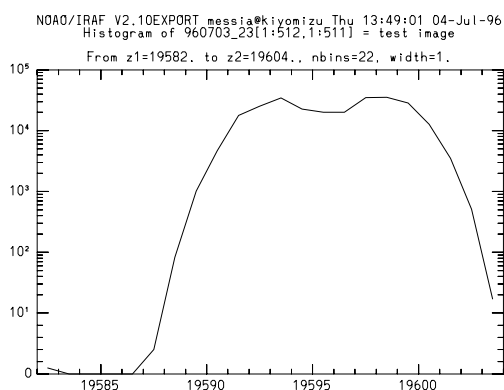


図 6: 以前に見えていたダブルピークが極めて小さくなっている。前の IN2 と GND に入れていた $10k\Omega$ の抵抗がダブルピークの大きな原因だったと考えられる。

コード長 = 10cm

imagename	clk	NPIX	MEAN	STDDEV	MIN	MAX
960703_27	175k	261632	19604.	1.217	19600.	19609.
960703_28		262144	19605.	1.223	19600.	19609.
960703_29		262144	19605.	1.205	19600.	19610.

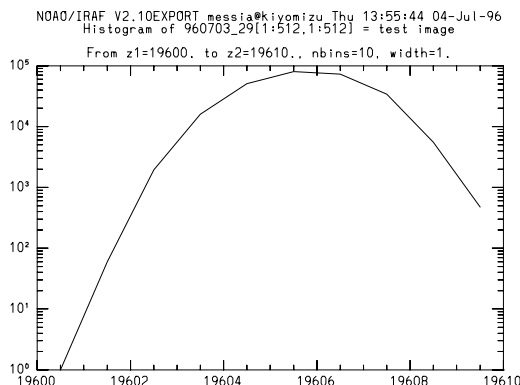


図 7: ダブルピークは完全に消えた。

コード長が 10cm のときと 50cm のときで変換後の値に 10 程度の変化があるが、これは電圧に直すと 1.5mV 程度で、この二つの測定のために 30 分程度の時間がかかったことを考えると電池の出力の低下によるものであると考えることができる。

3.3 議論

上の結果から、ダブルピークの原因は

- 電池とアンプの入口を結ぶ長いコードがボックス内を走っているクロックを拾った
- 図 1にあるように、電流が流れる IN2 の方と GND を 10k Ω という極めて大きな抵抗で結んだためわずかな電流変化で電圧の変化を起こしてしまった

ということ、さらにこれらノイズがアンプで 10 倍に増幅されてしまったことにあると考えてほぼ間違いないだろう。

実際の信号はシールド線で守られて入ってくるものの、ボックス内のノイズを減らすためにもクロックを送る線にシールドを施した方が良さだろう。

4 その他

今回の実験でいくつかの問題が見つかった。

- PSCLK がうまく伝達されない。175(kHz/pix):PSCLK=3.125MHz は何とか伝達されるものの、351(kHz/pix): は全くの flat になってしまう。
以前の簡易ケーブルでの実験ではちゃんと伝達されていたことを考えると、ケーブルが長くなったことと間に丸型コネクタが 2 つ入ったため全体の浮遊容量が大きくなったためだろう。
対策としては少し危険ではあるが、抵抗を減らすことくらいしかかんがえつかない。
- 最後のピクセル (512 $\times$ 512 番目) が読み込めていなかった。ピクセルの読み込みがクロックのせいで 1 つずれることを考慮していなかったため。解決済み。それにしてもこれまではどうして気づかなかったのだろう？