

ADC ボード駆動試験 1 : 検出器用 ADC

本原顕太郎

1996 年 6 月 28 日

概要

検出器からの読み出しを行なう ADC の駆動試験を行なった。

読み込みのソフトウェアおよびに、クロックパターンにバグがあったものの、それを改善すると良好に読み込むことができた。

さらに、クロック速度を限界 ($\sim 350\text{kHz/pix}, 3.1\text{MHz/bit}$) にして駆動したところ、何の問題もなく駆動していることが確認された。これにより、目標としている $1(\text{s/frame})$ の読み込みは十分に可能であると考えられる。

1 クロックパターン

cpg.ascii は用いるクロックパターンの最小単位を、**spv.ascii** はそのパターンをどのように組み合わせたり、繰り返したりするかをそれぞれ定義するファイルである。このパターンの 1 単位あたりの時間を調整することによって、読み出しの速度を調整する。

今回は 1600ns, 160ns, 80ns の 3 つを用いた。オーバーヘッドなどのハード的な要素は無視すると、それぞれ、17.9(kHz/pixel), 178.6(kHz/pixel), 357.1(kHz/pixel) に相当する。

以下に、17.9(kHz/pixel) のクロックパターンを示す。

spv.ascii:

```
begin test1fr
loop2_start 512
  loop1_start 512
    ccd_operation 0 31
  loop1_continue
loop2_continue
end
```

cpg.ascii:

2 一定値の読み込み

ADC フィルタの入力口にクロックジェネレータをつなぎ、正常に AD 変換及びに取り込みが行なわれているかを調べる。

まず入力に 0.1Hz の矩形波を入れ、

- ・それが正常に AD 変換されて、
 - ・正常な値がメモリに取り込まれているか
- を調べた。

入力矩形波は +1.269, -1.282V だった。（テスターにより計測）サンプリング速度は 17.9kHz/pixel でおこなった。

2.1 ADC 出力

ADC 出力は以下のようになつた。

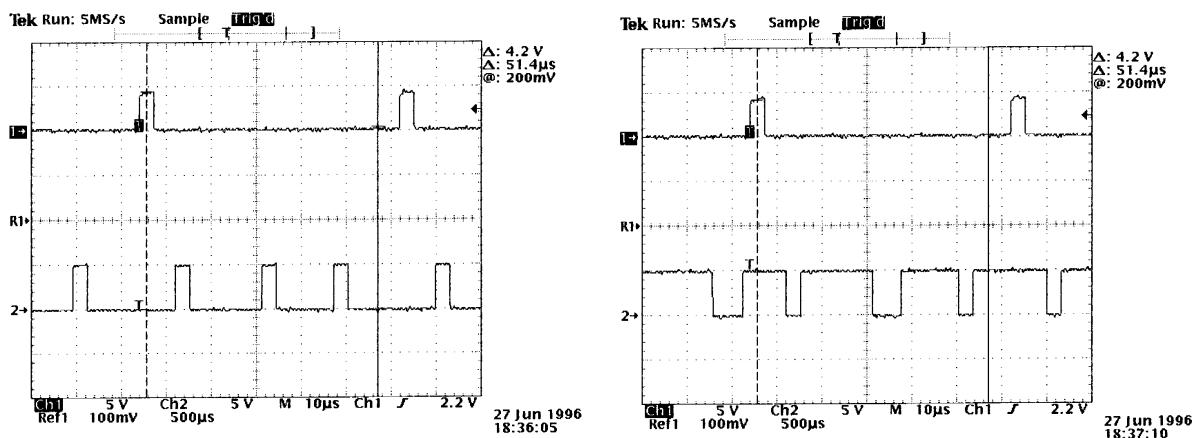


図 1: それぞれの図の下が出力、上がトリガ。左の図が 1.269V 入力時、右の図が -1.282V 入力時

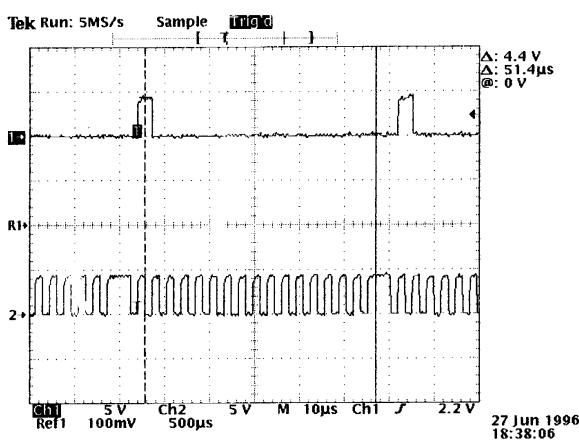


図 2: P/S 変換のクロック。下がクロック、上がトリガ。

これにより出力はそれぞれ、

$$\begin{aligned} \text{1.269V: } & 0010000010000100 \\ \text{-1.282V: } & 1101111100111101 \end{aligned}$$

である。ただし、下位の4ビットは安定しなかった。

いま、AD変換は $-4.99992V \sim +4.99977V$ 間の16bitサンプリングであるから、これにより上記の出力を変換すると

テスターの値	出力ビット	出力から得た値
1.269V:	0010000010000100	1.2701229V
-1.282V:	1101111100111101	-1.2797332V

テスターの表示とADCの出力は小数点以下2桁まで合致した。下位の4ビットが安定しなかったということは最大0.00229V程度の揺らぎがあることを意味しているので、3桁以下が合わなかったのは入力の揺らぎによるものであると考えられる。これに関しては今後、より安定した電源（電池など）を用いての測定を行なう必要がある。

2.2 メモリへの取り込み

VMIからWSへ転送する際に、先頭ビットを反転させて、変換したままのビットパターンにしているため（ADCの出力は先頭ビットを反転させている）、それを考慮しなければならない。WS上の値は、一定していないが、上位12ビットまで大体安定している。

1.269V:	0010000010000100	:オシロ
	0010000010000010	:WS
-1.282V:	1101111100111101	:オシロ
	1101111100111100	:WS

下位の4ビットに不定性があることも考え合わせて、正常にメモリ上に読み込まれていると断定できる。

3 高速読み込み

3.1 178.6(kHz/pixel) 読み込み

クロックパターンを、先に示した 17.9(kHz/pixel) のもののまま、パターンの 1 単位を 160(ns) することによって速度を 178.6(kHz/pixel) として 1 フレーム読み込んだ。

フィルタの入力部にあるテストピンに function generator から 4Hz, 振幅 1.25V の sin 波を送り込んで、出力を見た。結果を図 4 に示す。

一見したところ、正常に読み込みが行なわれていると考えられる。さらにもう少し詳しく確認するために、オシロでみた出力を下に示す。

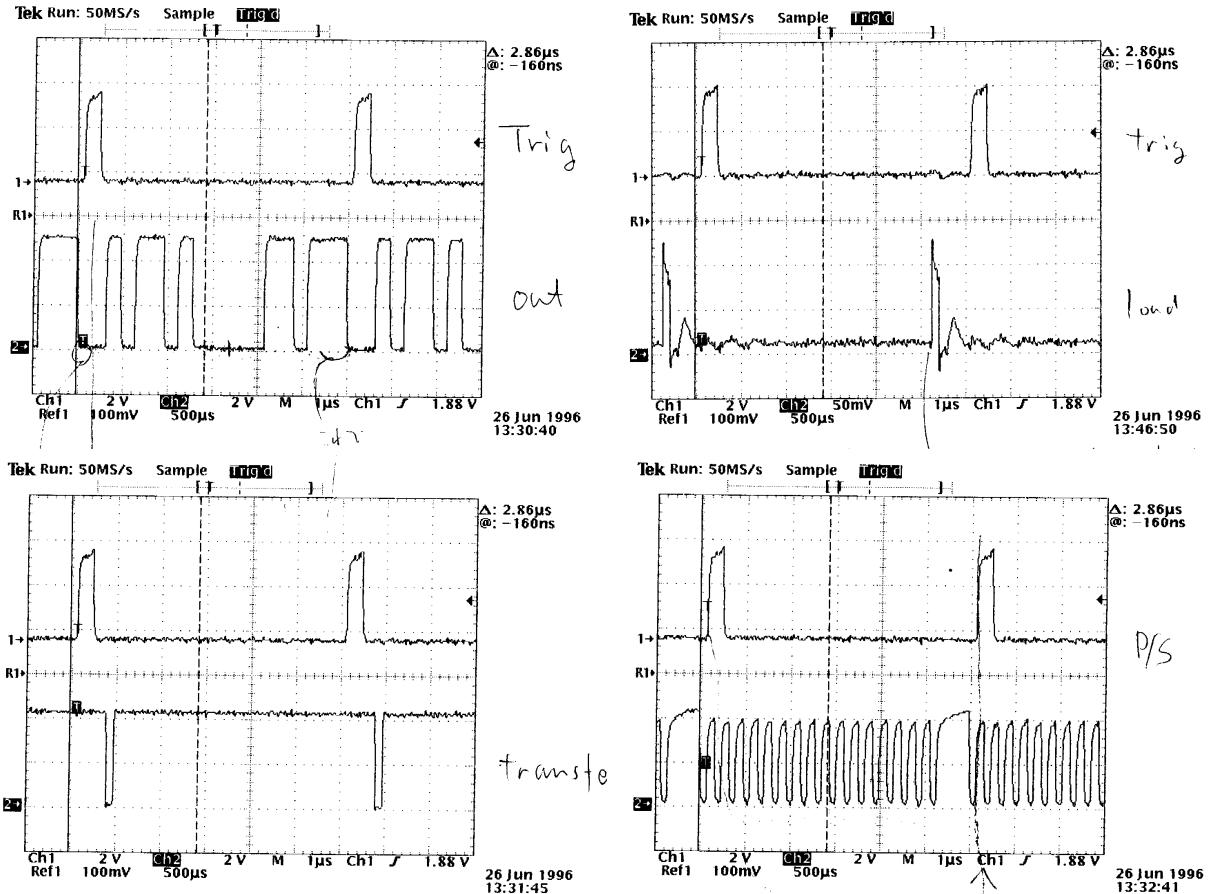


図 3: それぞれの図の上がトリガ、下は左上から時計回りにシリアル出力、load、clk、transfer である。load と clk の立ち上がりが重なってしまっているのがわかる。

これを見てまずわかるのは、cpq.ascii の上では 1 単位 (160ns) ずれていた load と clk の立ち上がりが揃ってしまっていることである。原因是簡単で、clk はフォトカプラーを 2 個、インバーターを 1 個通過する間に 170(ns) 程度の delay が生じてしまったことにある。（以前のレポート参照。）今回は正常に動作していたが、VMI の取り込み時の規格では clk と load は同時に立ち上がってはいけないことになっている。今後クロックを作る時にはこの点に注意しなければならない。

また、トリガがかかって transfer が出るまで（ようするに ADC が終るまで）に 650(ns) 程度かかる。一方で P/S 変換のシフトレジスタの load は trigger が H で clk が H- \downarrow L になった時にかかる。つまり、トリガをかけて、その後にメモリに取り込まれる情報というのはその一つ前のピクセルのものであることになる。実際に検出器からの信号を取り込む時には、このことに注意してクロックを組まなければならない。

3.2 357.1(kHz/pixel) 読み込み

さらにクロックを早くして、CIC ボードの限界である 160(ns/bit)、357.1(kHz/pixel) での読み込みを行なった。入力信号は先と同じ。結果は図 5。正常に変換と取り込みが行なわれている。

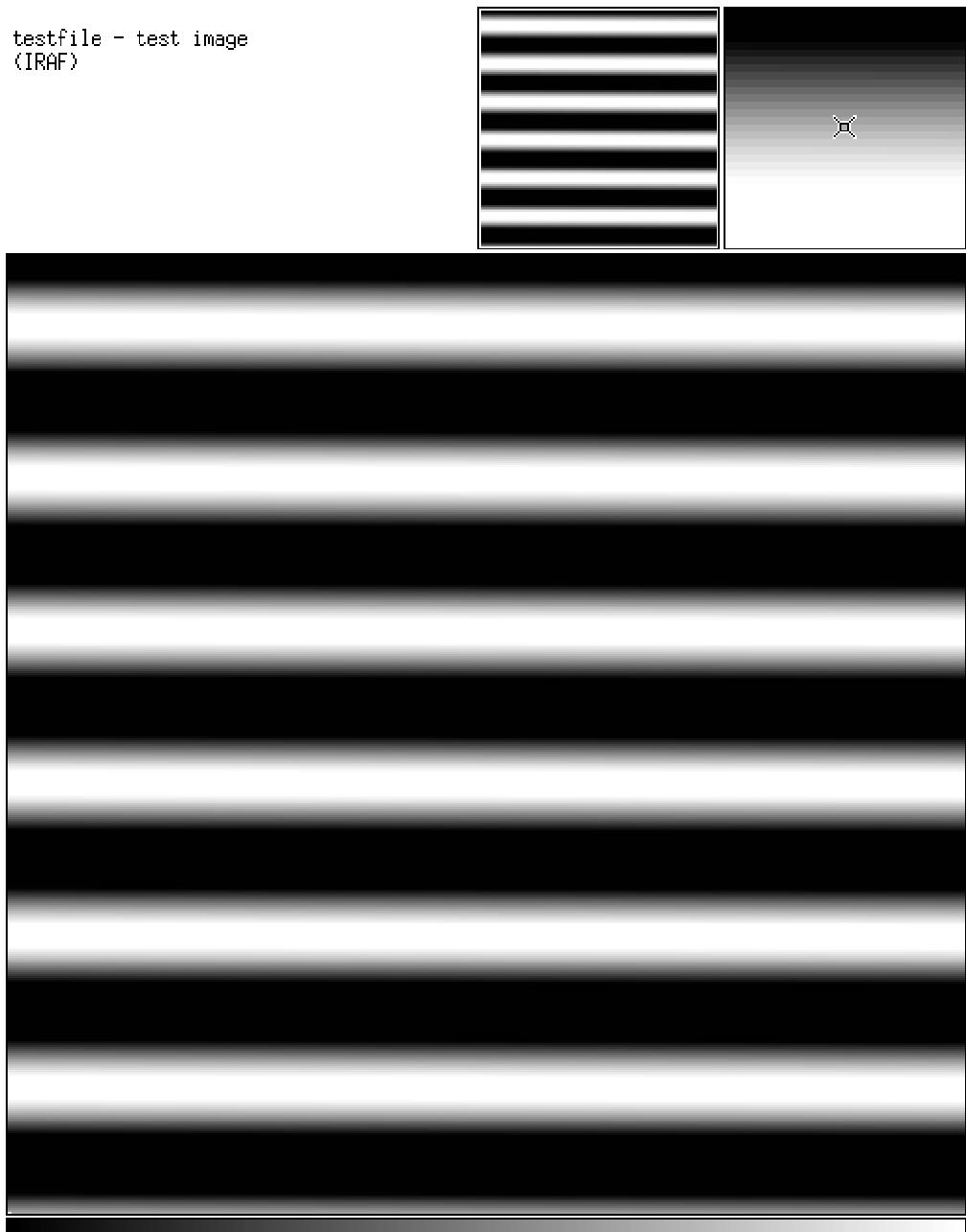
4 クロックのオーバーヘッド

CIC ではループに入る時や出る時にオーバーヘッドが入る。これによってどれ読みだし速度にどれくらいの影響が出るかをチェックした。

	理論値	実測値
周波数	17.86	17.24(kHz)
周期	56.0	58.0(μs)
周波数	178.6	166.7(kHz)
周期	5.60	6.00(μs)
周波数	357.1	320.5(kHz)
周期	2.80	3.12(μs)

17.5(kHz) のときはちょっと変だが、それ以外については大体 300 ~ 400(ns) 程度のオーバーヘッドが入っているのがわかる。これは messia のマニュアルで示しているのとほぼ同じ値となっている。

testfile - test image
(IRAF)



testfile - test image

SAOimage messia@kivomizu Fri Jun 28 13:39:12 1996

図 4: 512×512 ピクセルを $178.6(\text{kHz}/\text{pixel})$ で読み込んだ結果

testfile - test image
(IRAF)

189.0 501.0 4.226e+04



testfile - test image

SAOimage messia@kivomizu Fri Jun 28 13:42:00 1996

図 5: 512×512 ピクセルを $357.1(\text{kHz}/\text{pixel})$ で読み込んだ結果