

## AD5308/AD5318/AD5328\*

### 特長

AD5308：16ピンTSSOPに8chのbuffered 8ビットDACを内蔵  
 AD5318：16ピンTSSOPに8chのbuffered 10ビットDACを内蔵  
 AD5328：16ピンTSSOPに8chのbuffered 12ビットDACを内蔵  
 ローパワー動作：0.7mA @ 3V  
 全コード範囲で単調増加性を設計保証  
 消費電流を120nA（3V時）、400nA（5V時）まで低減するパワー  
 ダウン  
 ダブルバッファ入力ロジック  
 buffered/unbuffered/ $V_{DD}$ のリファレンス入力オプション  
 出力電圧範囲：0~ $V_{REF}$ または0~ $2V_{REF}$   
 0Vにパワーオン・リセット  
 以下のプログラミング設定が可能  
 個別チャンネルのパワーダウン  
 出力の同時更新（LDAC）  
 ローパワーでSPI™、QSPI™、MICROWIRE™、DSP互換の3線  
 式シリアル・インターフェース  
 レールtoレール出力bufferアンプを内蔵  
 動作温度範囲：-40℃~+105℃

### アプリケーション

バッテリー電源動作の携帯型計測機器  
 デジタル・ゲインおよびオフセット調整  
 プログラマブル電圧および電流ソース  
 光ネットワーク  
 自動テスト装置  
 移動体通信

プログラマブル減衰器  
 産業用プロセス制御

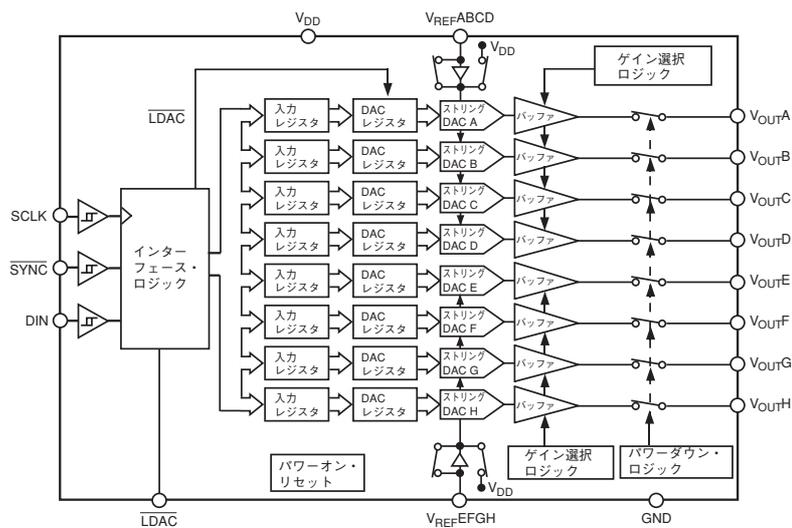
### 概要

AD5308（8ビット）、AD5318（10ビット）、AD5328（12ビット）は、16ピンTSSOPパッケージのbufferedオクタル電圧出力DACです。各デバイスは2.5V~5.5Vの単電源で動作し、3V電源動作時の消費電流は0.7mA（代表値）です。内蔵の出力アンプによって、0.7V/ $\mu$ sのスルーレートでレールtoレールの出力振幅動作が可能です。AD5308/AD5318/AD5328は、最大で30MHzまでのクロック・レートで動作する多様性の優れた3線式シリアル・インターフェースを使用し、標準のSPI、QSPI、MICROWIRE、DSPインターフェース規格とコンパチブルです。

8個の内蔵DACのリファレンスは、2本のリファレンス・ピン（4個のDACにつき1本）から供給されます。これらのリファレンス入力をbuffered、unbuffered、または $V_{DD}$ の各入力として構成することが可能です。この各デバイスにはパワーオン・リセット回路が内蔵されているので、パワーアップ時にDACの出力が0Vに設定され、デバイスに対して有効な書き込み動作が行われるまで、その状態に維持されることが確実に保証されます。非同期のLDAC入力を使用して、すべてのDAC出力を同時に更新できます。各デバイスには、その消費電流を400nA（5V時）（3V時では120nA）まで低減するパワーダウン機能が用意されています。DACの8つのチャンネルを個別にパワーダウンすることが可能です。

この3つの製品はすべてピン配置が同じなので、回路基板の設計変更をせずに、それぞれのアプリケーションに適した分解能の製品を選択できます。

機能ブロック図



\* 米国特許番号5,969,657によって保護されています。その他の特許を現在申請中です。

SPIとQSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corporationの商標です。

REV.0

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

\* 日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

# AD5308/AD5318/AD5328 —仕様

( $V_{DD} = 2.5V \sim 5.5V$ 、 $V_{REF} = 2V$ 、 $R_L = 2k\Omega$ をGND間に接続、 $C_L = 200pF$ をGND間に接続。特に注記のない限り、仕様はすべて $T_{MIN} \sim T_{MAX}$ の条件下における数値です)

パラメータ <sup>1</sup>	Bバージョン <sup>2</sup>			単位	条件/備考
	Min	Typ	Max		
DC性能 <sup>3, 4</sup>					
AD5308					
分解能	8			ビット	全コード範囲で単調増加性を設計保証
相対精度		$\pm 0.15$	$\pm 1$	LSB	
微分非直線性		$\pm 0.02$	$\pm 0.25$	LSB	
AD5318					
分解能	10			ビット	全コード範囲で単調増加性を設計保証
相対精度		$\pm 0.5$	$\pm 4$	LSB	
微分非直線性		$\pm 0.05$	$\pm 0.50$	LSB	
AD5328					
分解能	12			ビット	全コード範囲で単調増加性を設計保証
相対精度		$\pm 2$	$\pm 16$	LSB	
微分非直線性		$\pm 0.2$	$\pm 1.0$	LSB	
オフセット誤差		$\pm 5$	$\pm 60$	mV	$V_{DD} = 4.5V$ 、ゲイン=+2、図2および3を参照
ゲイン誤差		$\pm 0.30$	$\pm 1.25$	FSRの%	
下位デッドバンド <sup>5</sup>		10	60	mV	図2を参照。下位デッドバンドが存在するのは、オフセット誤差が負の場合のみに限られます。
上位デッドバンド <sup>5</sup>		10	60	mV	
オフセット誤差ドリフト <sup>6</sup>		-12		FSRのppm/°C	図3を参照。上位デッドバンドが存在するのは、 $V_{REF} = V_{DD}$ で、オフセットとゲイン誤差の和が正の場合のみに限られます。
ゲイン誤差ドリフト <sup>6</sup>		-5		FSRのppm/°C	
DC電源変動除去比 <sup>6</sup>		-60		dB	$V_{DD} = \pm 10\%$
DCクロストーク <sup>6</sup>		200		$\mu V$	$R_L = 2k\Omega$ をGNDまたは $V_{DD}$ 間に接続
DACリファレンス入力 <sup>6</sup>					
$V_{REF}$ 入力範囲	1.0		$V_{DD}$	V	bufferedリファレンス・モード
	0.25		$V_{DD}$	V	unbufferedリファレンス・モード
$V_{REF}$ 入力インピーダンス ( $R_{DAC}$ )		> 10.0		M $\Omega$	bufferedリファレンス・モードとパワーダウン・モード
		37.0	45.0	k $\Omega$	unbufferedリファレンス・モード。0- $V_{REF}$ の出力範囲
		18.0	22.0	k $\Omega$	unbufferedリファレンス・モード。0- $2V_{REF}$ の出力範囲
リファレンス・フィードスルー		-70.0		dB	周波数= 10kHz
チャンネル間アイソレーション		-75.0		dB	周波数= 10kHz
出力特性 <sup>6</sup>					
最小出力電圧 <sup>7</sup>		0.001		V	出力アンプの最小および最大駆動能力の測定値です。
最大出力電圧 <sup>7</sup>		$V_{DD} - 0.001$		V	
DC出力インピーダンス		0.5		$\Omega$	
短絡電流		25.0		mA	$V_{DD} = 5V$
		16.0		mA	$V_{DD} = 3V$
パワーアップ時間		2.5		$\mu s$	パワーダウン・モードからノーマル・モードに復帰するまでの時間。 $V_{DD} = 5V$
		5.0		$\mu s$	パワーダウン・モードからノーマル・モードに復帰するまでの時間。 $V_{DD} = 3V$
ロジック入力 <sup>6</sup>					
入力電流			$\pm 1$	$\mu A$	
$V_{IL}$ 、入力ロー電圧			0.8	V	$V_{DD} = 5V \pm 10\%$
			0.8	V	$V_{DD} = 3V \pm 10\%$
			0.7	V	$V_{DD} = 2.5V$
$V_{IH}$ 、入力ハイ電圧	1.7			V	$V_{DD} = 2.5V \sim 5.5V$ 。TTLおよびCMOSコンパチブル
ピン容量		3.0		pF	
電源					
$V_{DD}$	2.5		5.5	V	
$I_{DD}$ (ノーマル・モード) <sup>8</sup>					$V_{IH} = V_{DD}$ および $V_{IL} = GND$
$V_{DD} = 4.5V \sim 5.5V$		1.0	1.8	mA	すべてのDACをunbufferedモードに設定。bufferedモード時の追加電
$V_{DD} = 2.5V \sim 3.6V$		0.7	1.5	mA	流の代表値は、1個のDACあたり $x \mu A$ です。 $x = (5 \mu A + V_{REF}/R_{DAC}) / 4$
$I_{DD}$ (パワーダウン・モード) <sup>9</sup>					$V_{IH} = V_{DD}$ および $V_{IL} = GND$
$V_{DD} = 4.5V \sim 5.5V$		0.4	1	$\mu A$	
$V_{DD} = 2.5V \sim 3.6V$		0.12	1	$\mu A$	

## 注

- 「用語の説明」のセクションを参照してください。
- 動作温度範囲：Bバージョン：-40°C ~ +105°C。代表値は25°C時です。
- 特に注記のない限り、DC仕様は出力をロードしない状態でテストしています。
- 直線性のテストは、次のようにコード範囲を限定して実施しています。AD5308 (コード8~255)、AD5318 (コード28~1023)、AD5328 (コード115~4095)
- これはxコードに対応します。x = デッドバンド電圧/LSBサイズ
- 設計および特性評価によって保証しています。製品テストは実施していません。
- アンプの出力がその最小電圧に達するためには、オフセット誤差が負であることが必要です。また、アンプの出力がその最大電圧に達するためには、 $V_{REF} = V_{DD}$ で、オフセットとゲイン誤差との和が正であることが要求されます。
- インターフェースはアクティブではありません。DACはすべてアクティブです。DAC出力はロードされていません。
- 8個のDACすべてをパワーダウンに設定しています。
- 仕様は予告なく変更されることがあります。

# 仕様—AD5308/AD5318/AD5328

**AC特性<sup>1</sup>** ( $V_{DD} = 2.5V \sim 5.5V$ 、 $R_L = 2k\Omega$  をGND間に接続、 $C_L = 200pF$  をGND間に接続。特に注記のない限り、仕様はすべて $T_{MIN} \sim T_{MAX}$ の条件下における数値です)

パラメータ <sup>1</sup>	Bバージョン <sup>3</sup>			単位	条件/備考
	Min	Typ	Max		
出力電圧セトリング時間					$V_{REF} = V_{DD} = 5V$
AD5308		6	8	$\mu s$	1/4スケールから3/4スケールへの変化 (16進数値の40からC0)
AD5318		7	9	$\mu s$	1/4スケールから3/4スケールへの変化 (16進数値の100から300)
AD5328		8	10	$\mu s$	1/4スケールから3/4スケールへの変化 (16進数値の400からC00)
スルーレート		0.7		$V/\mu s$	
メジャー・コード遷移時のグリッチ・エネルギー		12		nV秒	メジャー・キャリーを中心として1LSBの変化
デジタル・フィードスルー		0.5		nV秒	
デジタル・クロストーク		0.5		nV秒	
アナログ・クロストーク		1		nV秒	
内蔵DAC間クロストーク		3		nV秒	
マルチプライヤ帯域幅		200		kHz	$V_{REF} = 2V \pm 0.1V_{p-p}$ . unbufferedモード
全高調波歪み		-70		dB	$V_{REF} = 2.5V \pm 0.1V_{p-p}$ . 周波数= 10kHz

**注**

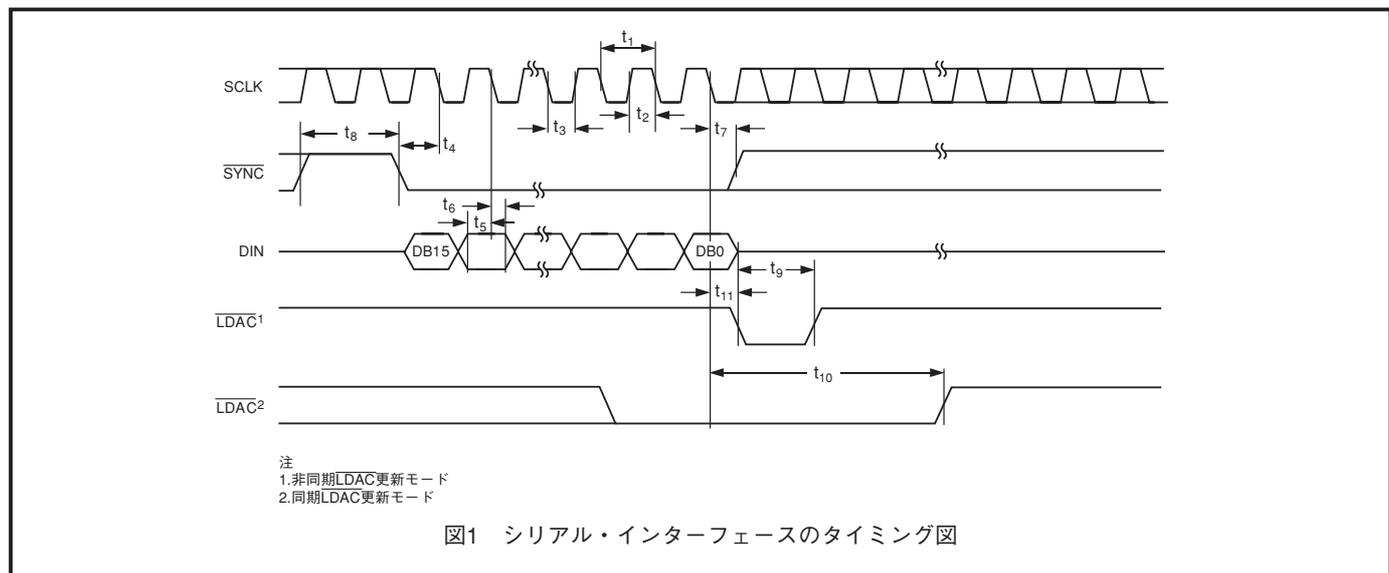
- 設計および特性評価によって保証しています。製品テストは実施していません。
- 「用語の説明」のセクションを参照してください。
- 動作温度範囲：Bバージョン：-40°C~+105°C。代表値は25°C時です。  
仕様は予告なく変更されることがあります。

## タイミング特性<sup>1, 2, 3</sup>

パラメータ	Bバージョン		単位	条件/備考
	$T_{MIN}$ 、 $T_{MAX}$ 時のリミット値			
$t_1$	33		ns min	SCLKサイクル時間
$t_2$	13		ns min	SCLKハイ時間
$t_3$	13		ns min	SCLKロー時間
$t_4$	13		ns min	$\overline{SYNC}$ からSCLKの立ち下がりエッジまでのセットアップ時間
$t_5$	5		ns min	データ・セットアップ時間
$t_6$	4.5		ns min	データ・ホールド時間
$t_7$	0		ns min	SCLKの立ち下がりエッジから $\overline{SYNC}$ の立ち上がりエッジまでの時間
$t_8$	50		ns min	最小の $\overline{SYNC}$ ハイ時間
$t_9$	20		ns min	$\overline{LDAC}$ パルス幅
$t_{10}$	20		ns min	SCLKの立ち下がりエッジから $\overline{LDAC}$ の立ち上がりエッジまでの時間
$t_{11}$	0		ns min	SCLKの立ち下がりエッジから $\overline{LDAC}$ の立ち下がりエッジまでの時間

**注**

- 設計および特性評価によって保証しています。製品テストは実施していません。
- 入力信号はすべて $t_r = t_f = 5ns$  ( $V_{DD}$ の10%~90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからタイミングを計測しています。
- 図2および3を参照してください。  
仕様は予告なく変更されることがあります。



# AD5308/AD5318/AD5328

## 絶対最大定格<sup>1, 2</sup>

(特に注記のない限り、 $T_A = 25^\circ\text{C}$ )

$V_{DD} \sim \text{GND}$	.....	$-0.3\text{V} \sim +7\text{V}$
デジタル入力電圧 $\sim \text{GND}$	.....	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
リファレンス入力電圧 $\sim \text{GND}$	.....	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
$V_{\text{OUTA}}$ から $V_{\text{OUTD}}$ 間 $\sim \text{GND}$	.....	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
動作温度範囲		
工業用 (Bバージョン)	.....	$-40^\circ\text{C} \sim +105^\circ\text{C}$
保管温度範囲	.....	$-65^\circ\text{C} \sim +150^\circ\text{C}$
接合部温度 ( $T_{J\text{MAX}}$ )	.....	$150^\circ\text{C}$

## 16ピンTSSOPパッケージ

ワット損	.....	$(T_{J\text{MAX}} - T_A) / \theta_{JA}$
$\theta_{JA}$ 熱インピーダンス	.....	$150.4^\circ\text{C/W}$
ハンダ処理		
ピーク温度	.....	$220 \pm 5^\circ\text{C}$
ピーク温度の持続時間	.....	10秒 $\sim$ 40秒

## 注

- 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す条件において、この定格は考慮されていません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えます。
- 遷移電流が最大で100mAまでの場合には、SCRのラッチアップが発生することはありません。

## オーダーガイド

モデル	動作温度範囲	パッケージ	パッケージ・オプション
AD5308BRU	$-40^\circ\text{C} \sim +105^\circ\text{C}$	薄型シュリンク・スモールアウトライン・パッケージ (TSSOP)	RU-16
AD5318BRU	$-40^\circ\text{C} \sim +105^\circ\text{C}$	薄型シュリンク・スモールアウトライン・パッケージ (TSSOP)	RU-16
AD5328BRU	$-40^\circ\text{C} \sim +105^\circ\text{C}$	薄型シュリンク・スモールアウトライン・パッケージ (TSSOP)	RU-16

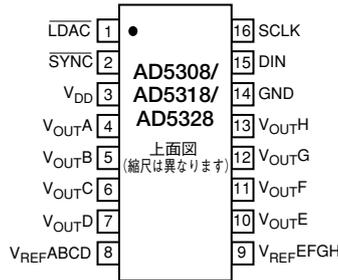
## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



# AD5308/AD5318/AD5328

## ピン配置



## ピン機能の説明

ピン番号	記号	機能
1	LDAC	このアクティブ・ローの制御入力は、入力レジスタのデータ内容をその該当するDACレジスタに転送します。このピンをローに設定すると、入力レジスタに新しいデータがある場合に、任意またはすべてのDACレジスタを更新できます。これにより、すべてのDAC出力の同時更新が可能になります。別の方法として、このピンを常にローのレベルに固定しておくことも可能です。
2	SYNC	アクティブ・ローの制御入力です。これは、入力データのフレーム同期信号です。SYNCがローのときに、これはSCLKおよびDIN bufferをパワーオンに設定し、入力シフト・レジスタをイネーブルにします。データは、次に続く16個のクロックの立ち下がりエッジで転送入力されます。16番目のクロック・エッジが立ち下がる前にSYNCがハイになると、SYNCの立ち上がりエッジが割り込みとして作用し、デバイスは書き込みシーケンスを無視します。
3	V <sub>DD</sub>	電源入力です。3つの各デバイスは2.5V~5.5Vの電源動作が可能ですが、10μFのコンデンサと0.1μFのコンデンサをこのピンとGNDとの間に並列接続して、電源をデカップリングする処理が必要です。
4	V <sub>OUTA</sub>	DAC Aからのbufferedアナログ出力電圧です。出力アンプはレールtoレール動作を行います。
5	V <sub>OUTB</sub>	DAC Bからのbufferedアナログ出力電圧です。出力アンプはレールtoレール動作を行います。
6	V <sub>OUTC</sub>	DAC Cからのbufferedアナログ出力電圧です。出力アンプはレールtoレール動作を行います。
7	V <sub>OUTD</sub>	DAC Dからのbufferedアナログ出力電圧です。出力アンプはレールtoレール動作を行います。
8	V <sub>REFABCD</sub>	DAC A、B、C、D用のリファレンス入力ピンです。BUFおよびV <sub>DD</sub> 制御ビットの状態に応じて、これを4個のDACに対するbuffered、unbuffered、またはV <sub>DD</sub> の入力として設定できます。この入力電圧範囲はunbufferedモード時で0.25V~V <sub>DD</sub> 、そしてbufferedモード時で1V~V <sub>DD</sub> となっています。
9	V <sub>REFEFGH</sub>	DAC E、F、G、H用のリファレンス入力ピンです。BUFおよびV <sub>DD</sub> 制御ビットの状態に応じて、これを4個のDACに対するbuffered、unbuffered、またはV <sub>DD</sub> の入力として設定できます。この入力電圧範囲はunbufferedモード時で0.25V~V <sub>DD</sub> 、そしてbufferedモード時で1V~V <sub>DD</sub> となっています。
10	V <sub>OUTE</sub>	DAC Eからのbufferedアナログ出力電圧です。出力アンプはレールtoレール動作を行います。
11	V <sub>OUTF</sub>	DAC Fからのbufferedアナログ出力電圧です。出力アンプはレールtoレール動作を行います。
12	V <sub>OUTG</sub>	DAC Gからのbufferedアナログ出力電圧です。出力アンプはレールtoレール動作を行います。
13	V <sub>OUTH</sub>	DAC Hからのbufferedアナログ出力電圧です。出力アンプはレールtoレール動作を行います。
14	GND	デバイスの全回路のグラウンド基準ポイントです。
15	DIN	シリアル・データ入力です。このデバイスには、16ビットのシフト・レジスタが備わっています。データは、シリアル・クロック入力の立ち下がりエッジでレジスタにクロック入力されます。書き込みサイクルが終了するごとに、DIN入力bufferはパワーダウンします。
16	SCLK	シリアル・クロック入力です。データは、シリアル・クロック入力の立ち下がりエッジで入力シフト・レジスタにクロック入力されます。最大で30MHzまでのクロック・レートでデータを転送することが可能です。書き込みサイクルが終了するごとに、SCLK入力bufferはパワーダウンします。

# AD5308/AD5318/AD5328

## 用語の説明

### 相対精度

DACの場合、相対精度または積分非直線性 (INL) とは、DACの伝達関数のエンドポイントを通る直線からのLSBを単位とする最大偏差の測定値です。代表的なINL対コードのプロットを特性1~3に図示しています。

### 微分非直線性

微分非直線性 (DNL) は、隣接する任意の2つのコード間の1LSB変化の理想値と実際の変動測定値との差です。最大±1LSBに規定された微分非直線性が単調増加性を保証します。このDACは、単調増加性が設計によって保証されています。代表的なDNL対コードのプロットを特性4~6に図示しています。

### オフセット誤差

これは、DACと出力アンプのオフセット誤差の測定値です (図2および3を参照)。これは負または正いずれの値にもなることがあり、mV単位で表します。

### ゲイン誤差

これは、DACのスパン誤差の測定値です。これは理想的なDAC伝達特性からの実際のDAC伝達特性の偏差を示すものであり、フルスケール範囲の%を単位として表します。

### オフセット誤差ドリフト

これは、温度変化に伴うオフセット誤差変動の測定値です。(フルスケール範囲のppm) / °C単位で表します。

### ゲイン誤差ドリフト

これは、温度変化に伴うゲイン誤差変動の測定値です。(フルスケール範囲のppm) / °C単位で表します。

### DC電源変動除去比 (PSRR)

これは、DACの出力が電源電圧の変動によってどの程度の影響を受けるかを示すものです。PSRRは、DACのフルスケール出力に対する $V_{OUT}$ 変動と $V_{DD}$ 変動の比です。これはdB単位で測定します。 $V_{REF}$ は2Vに保持され、また $V_{DD}$ は±10%の許容範囲で変動します。

### DCクロストーク

これは、別のDACの出力変化にตอบสนองして1つのDACで起こる出力レベルのDC変動です。この測定は、ある1つのDACのフルスケール出力を変化させて、それにตอบสนองする別のDACをモニターする方法で計測します。これは $\mu V$ 単位で表します。

### リファレンス・フィードスルー

これは、DACの出力が更新されていないとき (すなわち $\overline{LDAC}$ がハイのとき) のDAC出力とリファレンス入力の信号振幅の比です。これはdB単位で表します。

### チャンネル間アイソレーション

これは、ある1つのDACの出力の信号振幅と別のDACのリファレンス入力のサイン波との比です。これはdB単位で測定します。

### メジャー・コード遷移時のグリッチ・エネルギー

これは、DACレジスタのコードのステートが変化するとき、

アナログ出力に注入されるインパルスのエネルギーです。通常これはグリッチのエリアとしてnV秒単位で規定され、デジタル・コードがメジャー・キャリア遷移 (011...11から100...00または100...00から011...11) で1LSB変化するときに測定します。

### デジタル・フィードスルー

これは、デバイスのデジタル入力ピンから1つのDACのアナログ出力に注入されるインパルスの測定値ですが、そのDACに書き込み動作が行われていないとき ( $\overline{SYNC}$ 入力がハイに保持されているとき) に測定されます。nV秒単位で規定され、デジタル入力ピン上でフルスケール変化が起こる状態のとき、すなわちオール0からオール1、またはオール1からオール0のコード遷移のときに測定します。

### デジタル・クロストーク

これは、1つのDACの入力レジスタで発生するフルスケール・コード変化 (オール0からオール1、またはオール1からオール0の遷移) にตอบสนองして、ミッドスケールで別のDACの出力に伝達されるグリッチ・インパルスです。これはスタンドアロン・モードで測定し、nV秒単位で表します。

### アナログ・クロストーク

これは、1つのDACの出力変化によって別のDACの出力に伝達されるグリッチ・インパルスです。その測定は $\overline{LDAC}$ をハイに保持している間に、入力レジスタの1つにロードするコードをフルスケール変化 (オール0からオール1、またはオール1からオール0の遷移) させることによって行います。その後で、 $\overline{LDAC}$ をローに引き込み、デジタル・コードが変化しなかったDACの出力をモニターします。グリッチのエリアはnV秒単位で表します。

### DAC間クロストーク

これは、1つのDACのデジタル・コード変化とその後に続く出力変化によって別のDACの出力に伝達されるグリッチ・インパルスです。これには、デジタルとアナログ両方のクロストークが含まれます。その測定は $\overline{LDAC}$ をローに保持している間に、DACの1つにロードするコードをフルスケール変化 (オール0からオール1、またはオール1からオール0の遷移) させることによって行います。その後で、別のDACの出力をモニターします。グリッチのエネルギーはnV秒単位で表します。

### マルチプライヤ帯域幅

DACに内蔵されるアンプの帯域幅は有限です。マルチプライヤ帯域幅はこの測定値です。リファレンス上のサイン波 (フルスケール・コードをDACにロードした状態) は、出力上に現れます。マルチプライヤ帯域幅は、出力振幅が入力よりも3dB低くなるときの周波数です。

### 全高調波歪み

これは、DACを使用するときの理想的なサイン波とその減衰したサイン波との差です。サイン波はDACのリファレンスとして使用され、THDはDACの出力上に存在する高調波の測定値です。これはdB単位で測定します。

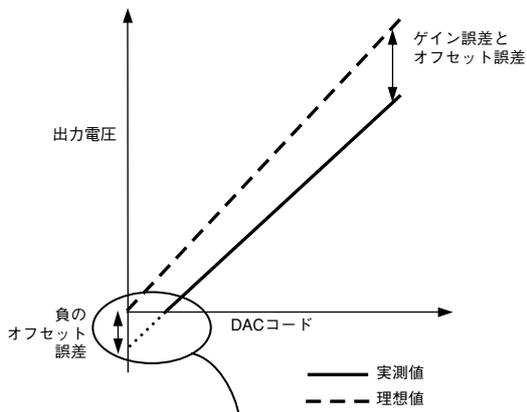


図2 負のオフセットを含む伝達関数 ( $V_{REF} = V_{DD}$ )

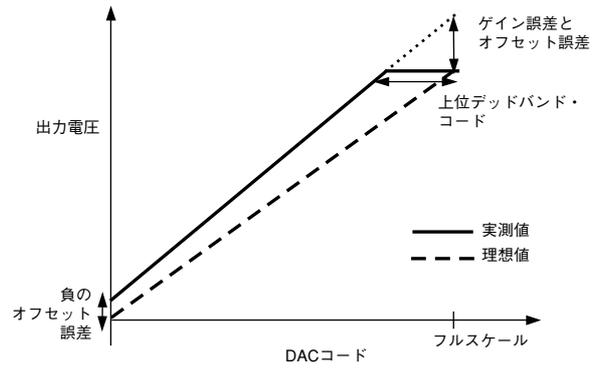
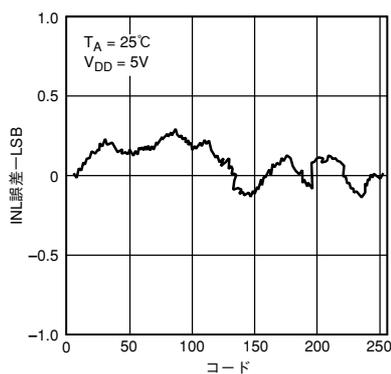
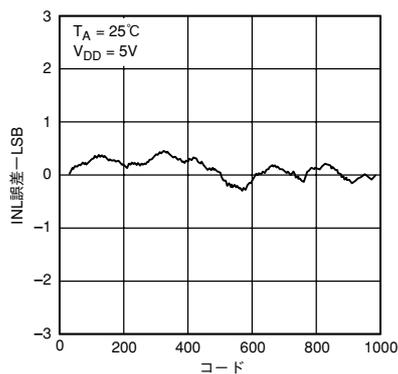


図3 正のオフセットを含む伝達関数

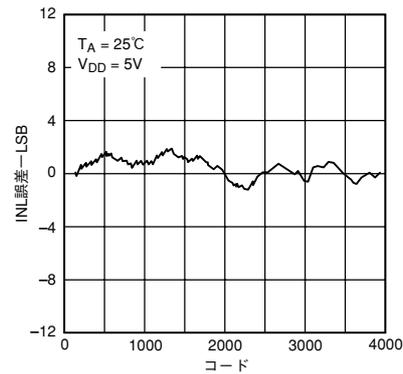
# AD5308/AD5318/AD5328 – 代表的な性能特性



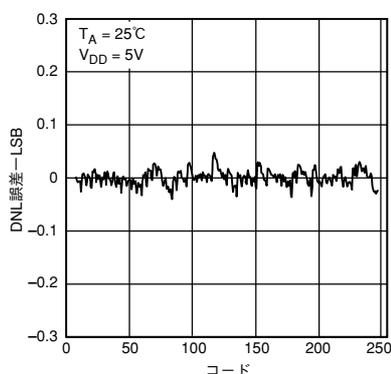
特性1 AD5308の代表的なINLプロット



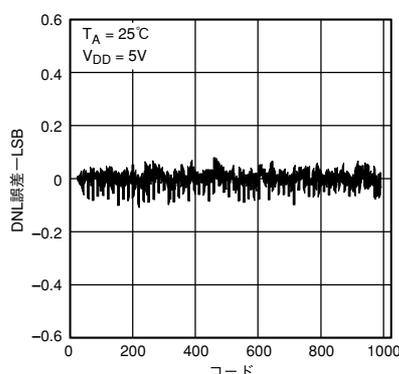
特性2 AD5318の代表的なINLプロット



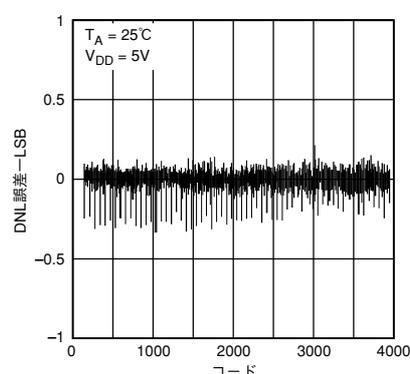
特性3 AD5328の代表的なINLプロット



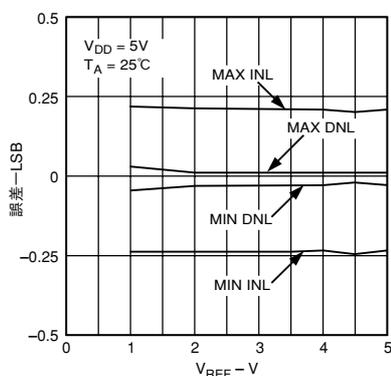
特性4 AD5308の代表的なDNLプロット



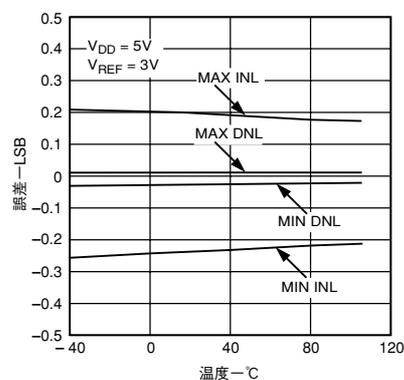
特性5 AD5318の代表的なDNLプロット



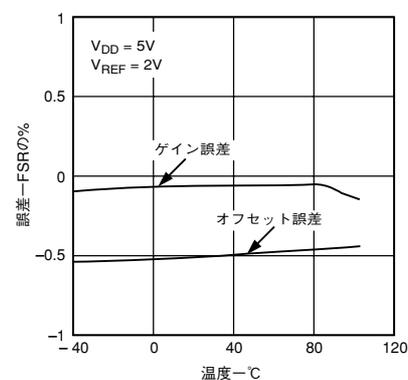
特性6 AD5328の代表的なDNLプロット



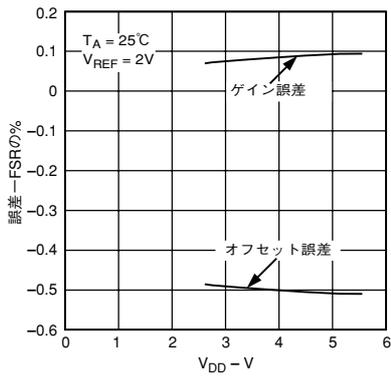
特性7 AD5308のINLおよびDNL誤差 対  $V_{REF}$



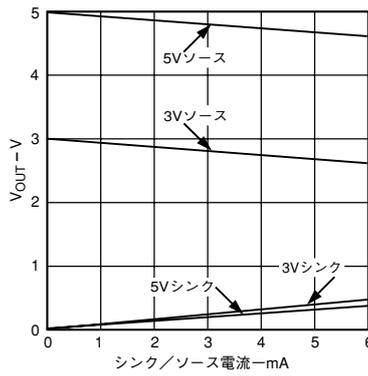
特性8 AD5308のINLおよびDNL誤差 対 温度



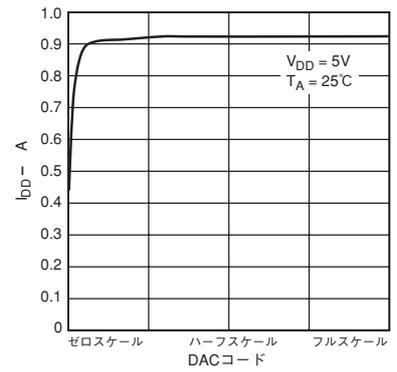
特性9 AD5308のオフセットおよびゲイン誤差 対 温度



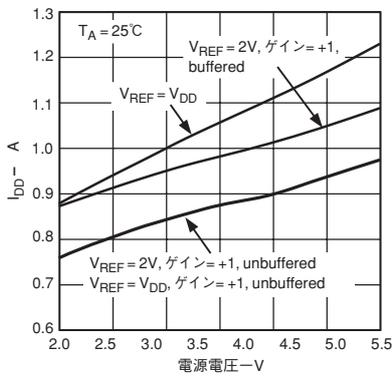
特性10 オフセットおよびゲイン誤差 対  $V_{DD}$



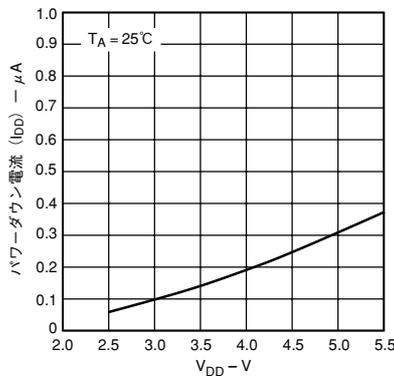
特性11  $V_{OUT}$  ソースおよびシンク電流能力



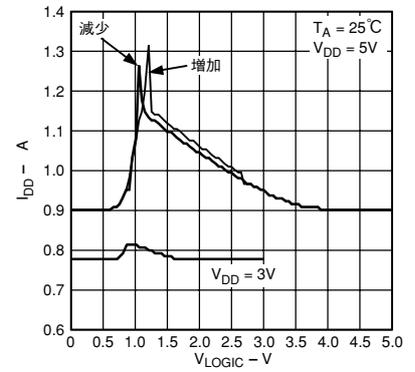
特性12 電源電流 対 DACコード



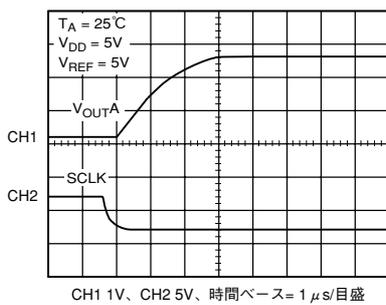
特性13 電源電流 対 電源電圧



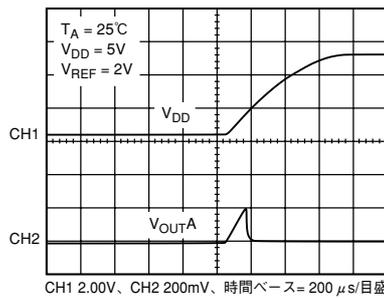
特性14 パワーダウン電流 対 電源電圧



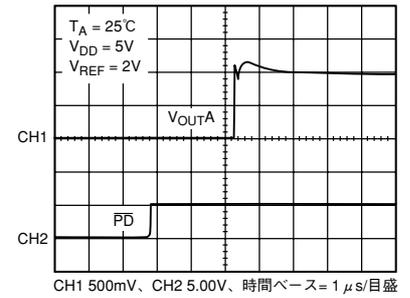
特性15 電源電流 対 SCLKおよびDINロジック入力電圧の増減



特性16 ハーフスケール・セトリング (1/4から3/4スケールのコード変化)

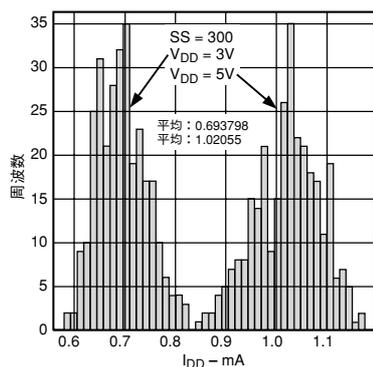


特性17 0Vへのパワーオン・リセット

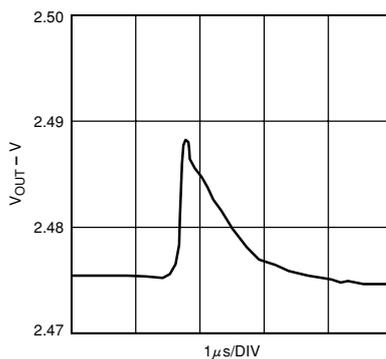


特性18 ミッドスケールへのパワーダウン終了

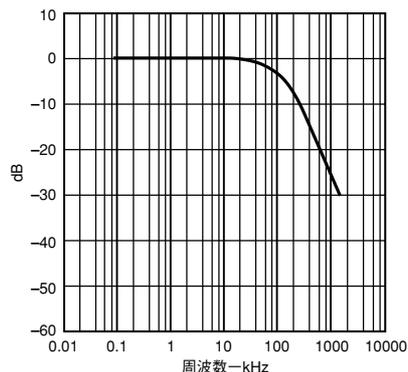
# AD5308/AD5318/AD5328



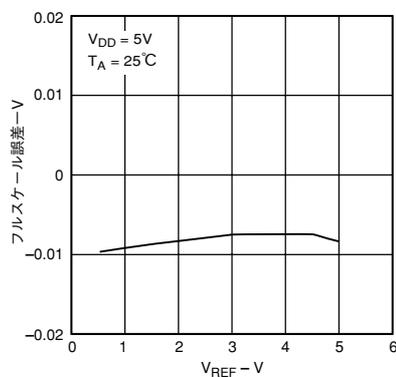
特性19  $V_{DD} = 3V$ および $V_{DD} = 5V$ 時の  $I_{DD}$  ヒストグラム



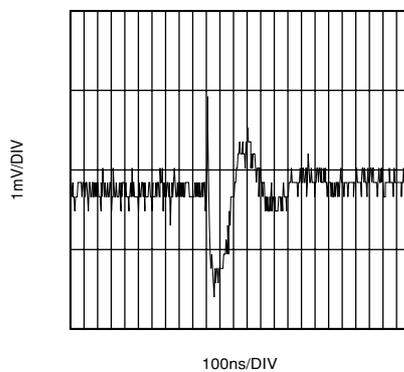
特性20 AD5328のメジャー・コード遷移時グリッチ・エネルギー



特性21 マルチプライヤ帯域幅 (小信号周波数応答性)



特性22 フルスケール誤差 対  $V_{REF}$



特性23 DAC間クロストーク

## 機能説明

AD5308 (8ビット)、AD5318 (10ビット)、AD5328 (12ビット) は、CMOSプロセスで製造されたオクタル抵抗ストリングDACです。この各デバイスには8個の出力bufferアンプが内蔵されており、3線式シリアル・インターフェースを通して書き込み動作が行われます。これらは2.5V~5.5Vの単電源で動作し、出力bufferアンプは0.7V/ $\mu$ sのスルーレイトでレールtoレールの出力振幅動作が可能です。内蔵DACのA、B、C、Dは1つの共通リファレンス入力、つまり $V_{REFABCD}$ を共有します。また、内蔵DACのE、F、G、Hは1つの共通リファレンス入力、つまり $V_{REFEFGH}$ を共有します。この2つのリファレンス入力をbufferして、リファレンス・ソースから電流を実質的にまったく消費しないようにするか、またはbufferせずにリファレンス入力範囲を0.25V~ $V_{DD}$ とするか、あるいは $V_{DD}$ からリファレンス電圧を供給するように設定できます。この各デバイスには、内蔵DACのすべてをハイ・インピーダンス出力で個別にオフにできるパワーダウン・モードが用意されています。

## D/A変換セクション

1つのDACチャンネルのアーキテクチャは、1個の抵抗ストリングDACとその後段の出力bufferアンプで構成されます。対応する内蔵DACのリファレンス電圧は、 $V_{REF}$ ピンから供給されます。このDACアーキテクチャのブロック図を図4に示します。DACの入力コーディングはストレート・バイナリであるために、理想的な出力電圧が以下の数式から求められます。

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

ここで、

D = DACレジスタにロードされるバイナリ・コードと等価な10進数値

AD5308 (8ビット) では0~255

AD5318 (10ビット) では0~1023

AD5328 (12ビット) では0~4095

N = DACの分解能

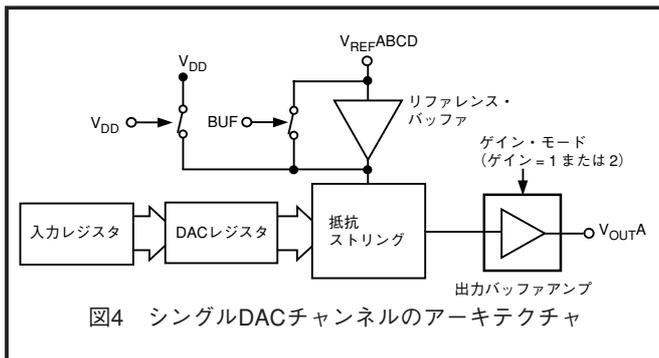


図4 シングルDACチャンネルのアーキテクチャ

## 抵抗ストリング

抵抗ストリングのセクションを図5に示します。これは、それぞれ値をRとする抵抗で構成される単純なストリングです。DACレジスタにロードされるデジタル・コードに基づいて、ストリングのどのノードで電圧を分岐して、これを出力アンプに送り込むかが決定されます。電圧の分岐は、ストリングをアンプに接続するスイッチの1つを閉じる動作によって行われます。これは複数個の抵抗で構成される1本のストリングなので、単調増加性が保証されます。

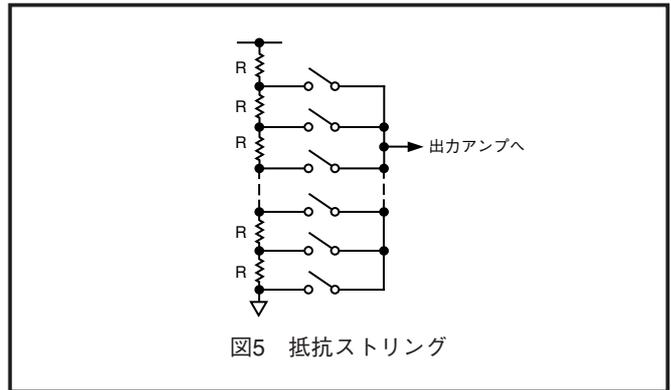


図5 抵抗ストリング

## DACリファレンス入力

4個の内蔵DACにつき1本のリファレンス・ピンが用意されています。この2つのリファレンス入力を $V_{DD}$ か、bufferedにするか、またはunbufferedとすることが可能です。buffer入力の利点は、それを駆動する電圧源に対してハイ・インピーダンスを提供できることです。これに対して、unbufferedモードを利用する場合には、リファレンス・アンプのヘッドルームとフットルームによる制約がないので、ユーザーはリファレンス電圧を0.25Vまで低くする、または $V_{DD}$ まで高くすることができます。

回路でbuffer電圧リファレンス（たとえば、REF192）を使用している場合には、AD5308/AD5318/AD5328の内蔵bufferを使用する必要はありません。unbufferedモード時でも入力インピーダンスは高く維持され、その代表値は0~ $V_{REF}$ モード時で各リファレンス入力あたり45k $\Omega$ 、そして0~2 $V_{REF}$ モード時で22k $\Omega$ となっています。

## 出力アンプ

出力bufferアンプは、各電源レールの1mV以内までの出力電圧を生成する能力を備えています。その実際の電圧範囲は、 $V_{REF}$ の電圧値、出力アンプのゲイン、オフセット誤差、およびゲイン誤差に応じて異なります。

ゲイン1を選択する場合（ゲイン・ビット=0）、出力範囲は0.001V~ $V_{REF}$ となります。

ゲイン2を選択する場合には（ゲイン・ビット=1）、出力範囲は0.001V~2 $V_{REF}$ となります。ただし、クランピングのために、最大出力は $V_{DD}-0.001$ Vに制限されます。

出力アンプは、GNDまたは $V_{DD}$ との間に接続される500pFの容量と並行して、GNDまたは $V_{DD}$ との間に接続される2k $\Omega$ の負荷を駆動することができます。出力アンプの電流ソースおよびシンク能力を特性11に示すプロットで確認できます。

スルーレイトは0.7V/ $\mu$ sで、ハーフスケール・セトリング時間は $\pm 0.5$ LSB (8ビット) に対して6 $\mu$ sとなっています。

## パワーオン・リセット

AD5308/AD5318/AD5328には、定義された状態でパワーアップするように、パワーオン・リセット機能が用意されています。パワーオン状態は、以下のとおりです。

- ・ ノーマル動作
- ・ unbufferedのリファレンス入力
- ・ 0~ $V_{REF}$ の出力範囲
- ・ 出力電圧を0Vに設定
- ・ LDACビットをLDACハイに設定

入力レジスタとDACレジスタにはオール0がロードされ、デバイスに対して有効な書き込みシーケンスが実行されるまで、その状態が維持されます。この機能性は、デバイスのパワーアップ中にDAC出力の状態を知っておくことが重要とされるアプリケーションで特に役立ちます。

# AD5308/AD5318/AD5328

## シリアル・インターフェース

AD5308/AD5318/AD5328は、最大で30MHzまでのクロック・レートで動作し、SPI、QSPI、MICROWIRE、DSPインターフェース規格とコンパチブルな、優れた多様性を持つ3線式シリアル・インターフェースを通して制御されます。

## 入力シフト・レジスタ

入力シフト・レジスタは16ビット幅です。データは、シリアル・クロック入力SCLKの制御によって16ビット・ワードとしてデバイスにロードされます。この動作のタイミング図を図1に示しています。

SYNC入力は、フレーム同期信号およびチップ・イネーブルとして機能するレベル・トリガー入力です。データをデバイスに転送できるのは、 $\overline{\text{SYNC}}$ がローの間のみに限られます。シリアル・データ転送を開始するには、SYNCをローのレベルに設定し、 $\overline{\text{SYNC}}$ からSCLKのエッジが立ち下がるまでの最小セットアップ時間 $t_{\text{setup}}$ を順守することが必要です。 $\overline{\text{SYNC}}$ がローになった後で、16クロック・パルスに相当するSCLKの立ち下がりエッジで、シリアル・データがデバイスの入力シフト・レジスタにシフト入力されます。

転送動作を終了するときには、16番目のSCLKパルス・エッジが立ち下がった後でSYNCをハイに設定し、SCLKの立ち下がりエッジから $\overline{\text{SYNC}}$ の立ち上がりエッジまでの最小時間 $t_{\text{hold}}$ を順守する必要があります。

シリアル・データの転送が終了した後で、データは入力シフト・レジスタから選択されたDACの入力レジスタに自動的に転送されます。16番目のSCLKパルス・エッジが立ち下がる前に $\overline{\text{SYNC}}$ をハイに設定すると、データ転送が中止され、DAC入力レジスタは更新されません。

データは、MSBファースト（ビット15）でロードされます。最初のビットによって、それがDAC書き込みであるか、または制御機能であるかを決定します。

## DAC書き込み

16ビット・ワードは、1つの制御ビットと3つのアドレス・ビット、そしてデバイスのタイプに応じてその後が続く8、10または12ビットのDACデータで構成されます。DAC書き込みの場合には、MSBが“0”になります。次の3つのアドレス・ビットによって、データがDAC A、DAC B、DAC C、DAC D、DAC E、DAC F、DAC G、DAC Hに対するものであるかを決定します。AD5328では、12ビットのDACデータすべてが使用されます。AD5318では10ビットを使用し、2つのLSBを無視します。AD5308では8ビットを使用し、最後の4ビットを無視します。これらの無視されたLSBは、“0”に設定する必要があります。データ・フォーマットはストレート・バイナリで、全0が0V出力に相当し、全1がフルスケール出力に相当します。

表I AD53x8のアドレス・ビット

A2 (ビット14)	A1 (ビット13)	A0 (ビット12)	アドレス指定されるDAC
0	0	0	DAC A
0	0	1	DAC B
0	1	0	DAC C
0	1	1	DAC D
1	0	0	DAC E
1	0	1	DAC F
1	1	0	DAC G
1	1	1	DAC H

## 制御機能

制御機能の場合には、MSB（ビット15）が“1”になります。この後に、モードを決定する2つの制御ビットが続きます。4つの異なる制御モードがありますが、以下にこの各モードについて説明します。この各モードの書き込みシーケンスを表IIにまとめています。

## リファレンスおよびゲイン・モード

このモードでは、各グループのDAC用のリファレンスをbufferdにするか、unbufferedにするか、または $V_{\text{DD}}$ から供給するように設定するかを決定します。さらに、出力アンプのゲインも決めます。両方のDACグループのリファレンスをセットアップするには、制御ビットを（00）に設定し、GAINビット、BUFビット、および $V_{\text{DD}}$ ビットを以下のように設定します。

**BUF:** DACグループのリファレンスをbufferdするか否かを制御します。最初のDACグループ（A、B、C、D）のリファレンスをビット2の設定によって制御し、2番目のDACグループ（E、F、G、H）のリファレンスをビット3の設定によって制御します。

0：unbufferedのリファレンス

1：bufferedのリファレンス

**GAIN:** 最初のDACグループ（A、B、C、D）のゲインをビット4の設定によって制御し、2番目のDACグループ（E、F、G、H）のゲインをビット5の設定によって制御します。

0：0～ $V_{\text{REF}}$ の出力範囲

1：0～ $2V_{\text{REF}}$ の出力範囲



図6 AD5308の入力シフト・レジスタの内容



図7 AD5318の入力シフト・レジスタの内容

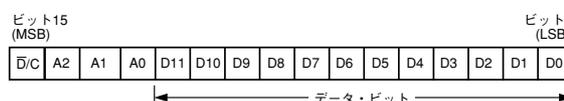


図8 AD5328の入力シフト・レジスタの内容

# AD5308/AD5318/AD5328

表II AD53x8の制御ワード

D/C	制御ビット														モード	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1	0	0	x	x	x	x	x	x	x	(GAINビット) E..H A..D	(BUFビット) E..H A..D	(VDDビット) E..H A..D				出力アンプのゲインとリファレンスの選択
1	0	1	x	x	x	x	x	x	x	x	x	x	x	(LDACビット) 1/0 1/0		LDAC
1	1	0	x	x	x	x	x	(チャンネル) H G F E D C B A						パワーダウン		
1	(リセット)		1/0	x	x	x	x	x	x	x	x	x	x	x	x	リセット

V<sub>DD</sub>: V<sub>DD</sub>をリファレンスとして使用するとき、これらのビットを設定します。V<sub>DD</sub>を使用するように、最初のDACグループ (A、B、C、D) をセットアップするときにはビット0を設定し、また2番目のDACグループ (E、F、G、H) をセットアップするときにはビット1を設定します。V<sub>DD</sub>ビットの方がBUFビットよりも優先度が高くなっています。V<sub>DD</sub>をリファレンスとして使用する場合には、GAINおよびBUFビットのステートに関係なく、常にunbufferedに設定され、出力範囲は0~V<sub>REF</sub>に固定されます。

### LDACモード

LDACモードでは、入力レジスタからDACレジスタにデータがいつ転送するかを決定する内部LDAC入力を制御します (後述のロードDAC入力機能を参照してください)。下の表IIIに示すように、DACレジスタを更新するときには3つのオプションがあります。

表III LDACモード

ビット 15	ビット 14	ビット 13	ビット 12...2	ビット 1	ビット 0	説明
1	0	1	x...x	0	0	LDACロー
1	0	1	x...x	0	1	LDACハイ
1	0	1	x...x	1	0	LDACシングル更新
1	0	1	x...x	1	1	予約

LDACロー: (00) これはLDACを常にローに固定するので、DACレジスタの連続的な更新が可能です。

LDACハイ: (01) これはLDACを常にハイに固定します。DACレジスタはラッチされ、DACレジスタの内容に影響を与えることなく入力レジスタのステートを変更できます。これは、このモードのデフォルト・オプションです。

LDACシングル・更新: (10) これによってLDAC上にシングル・パルスがかかるので、DACレジスタが一度更新されます。

予約: (11) 予約済みとなっています (設定しないでください)。

### パワーダウン・モード

AD5308/AD5318/AD5328の個々のチャンネルを個別にパワーダウンすることが可能です。この制御モードは (10) です。この書き込みシーケンスが完了した時点で、“1” に設定されているチャンネルがパワーダウンします。

### リセット・モード

表IVにまとめているように、このモードは2つの選択可能なリセット機能で構成されます。

表IV リセット・モード

ビット 15	ビット 14	ビット 13	ビット 12	ビット 11...0	説明
1	1	1	0	x...x	DACデータ・リセット
1	1	1	1	x...x	データおよび制御リセット

DACデータ・リセット: この書き込みシーケンスが完了した時点で、すべてのDACレジスタと入力レジスタにオール0がロードされます。

データおよび制御リセット: この機能はDACデータ・リセットを実行し、さらにすべての制御ビット (GAIN、BUF、V<sub>DD</sub>、LDAC、パワーダウン・チャンネル) をそのパワーダウン状態にリセットします。

### ローパワー・シリアル・インターフェース

デバイスの消費電力を最小限に抑えるために、デバイスの書き込み動作が実行されると、すなわちSYNCのエッジが立ち下がる時のみに限り、インターフェースが完全にパワーアップします。SCLKおよびDIN入力bufferは、SYNCの立ち上がりエッジでパワーダウンします。

### ロードDAC入力 (LDAC) 機能

DACレジスタへのアクセスは、LDACピンとLDACモード・ビットの両方によって制御されます。LDAC機能の動作を図9に示す設定にリンクさせることが可能です。

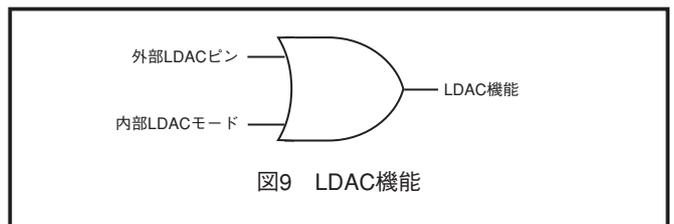


図9 LDAC機能

# AD5308/AD5318/AD5328

ユーザーがソフトウェアによってDACを更新したい場合には、LDACピンをハイに設定し、LDACモード・ビットを必要に応じた設定にしなければなりません。これに対して、ユーザーがハードウェア（すなわち、LDACピン）を使用してDACを制御したい場合には、LDACモード・ビットをLDACハイ（デフォルト・モード）に設定します。

LDAC機能を利用することで、DACデータのダブルbuffering、そしてGAIN、BUFおよびV<sub>DD</sub>の各ビットをイネーブルにします。LDAC機能の動作には、以下に説明する2つの方法があります。

同期LDAC:16番目のSCLKパルスの立ち下がりエッジで新しいデータが読み込まれた後で、DACレジスタが更新されます。LDACを常にローに固定するか、または図11に示すようなパルス設定にすることで可能となります。

非同期LDAC:出力は入力レジスタの書き込み動作と同時に更新されません。LDACがローになるときに、DACレジスタは入力レジスタの内容で更新されます。

## ダブルbufferインターフェース

AD5308/AD5318/AD5328の各DACにはすべて、入力およびDACの2つのレジスタ・バンクで構成されるダブルbufferインターフェースが備わっています。入力レジスタは入力シフト・レジスタに直接的に接続され、有効な書き込みシーケンスが終了した時点で該当する入力レジスタにデジタル・コードが転送されます。DACレジスタには、抵抗ストリングによって使用されるデジタル・コードが格納されます。

LDACピンがハイになり、またLDACビットが(01)に設定されると、DACレジスタがラッチされ、DACレジスタの内容に影響を与えることなく、入力レジスタの状態を変更できます。しかし、LDACビットを(00)に設定するか、またはLDACピンがローに引き込まれると、DACレジスタは透過的になり、入力レジスタの内容がDACレジスタに転送されます。

ユーザーがDAC出力すべての同時更新を必要とする場合に、ダブルbufferインターフェースが効果的です。ユーザーは7個の入力レジスタに対して個別に書き込みを行い、その後、残りの入力レジスタに書き込みを行うときにLDACをローに設定する操作によって、すべての出力が同時に更新されます。

最後にLDACをローにした後で、その以降に入力レジスタがまったく更新されていない場合は、DACレジスタも更新されない機能も追加されています。通常はLDACがローのときに、DACレジスタには入力レジスタの内容がロードされます。AD5308/AD5318/AD5328の場合には、DACレジスタが最後に更新された後で、その以降に入力レジスタの内容が変更されている場合のみに限り、DACレジスタが更新されるので、不要なデジタル・クロストークが除去されます。

## パワーダウン・モード

AD5308/AD5318/AD5328の消費電力は低く抑えられており、その代表値は3V電源動作時で2.4mW、5V電源動作時で5mWです。DACが使用されていないときに、前述のパワーダウン・モードにこれらを設定することによって、消費電力をさらに低減できます。

デフォルト・モードのときに、すべての内蔵DACは5V電源時に代表値が1mA（3V電源時では800 $\mu$ A）の消費電流で通常の動作を行います。しかし、すべてのDACがパワーダウンすると（すなわち、パワーダウン・モードに設定すると）、消費電流は5V電源時に400nA（3V電源時では120nA）まで低下します。消費電流が低下するだけでなく、出力段がアンプの出力から内部的にスイッチされオープン回路になります。この利点として、デバイスがパワーダウン・モードに入っているときに、出力がスリープ状態になり、DACアンプの出力に何が接続されるかに関係なく、定義された入力条件が確保されます。出力段を図10に示します。

パワーダウン・モードを起動すると、バイアス発生器、出力アンプ、抵抗ストリング、およびその他すべての関連するリニア回

路がシャットダウンされます。ただし、パワーダウン・モード時にレジスタの内容はその影響をまったく受けません。実際にはパワーダウン時であっても、入力レジスタとDACレジスタに新しいデータをロードできます。デバイスがパワーダウン・モードからノーマル動作モードに復帰すると、即時にDAC出力が更新されます。パワーダウンを終了するまでの所要時間の代表値はV<sub>DD</sub>=5V時で2.5 $\mu$ s、そしてV<sub>DD</sub>=3V時で5 $\mu$ sです。

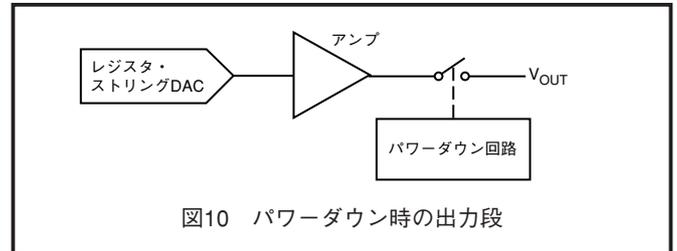
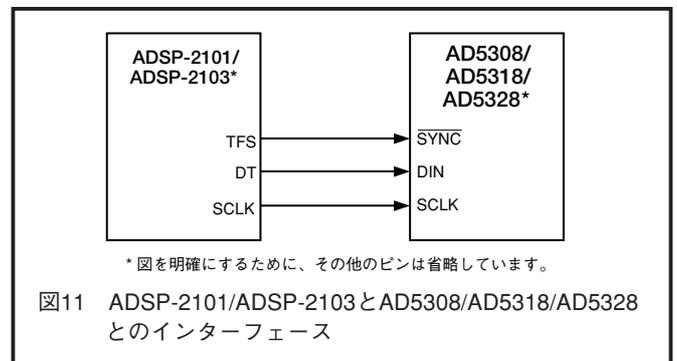


図10 パワーダウン時の出力段

## マイクロプロセッサとのインターフェース

### ADSP-2101/ADSP-2103とAD5308/AD5318/AD5328とのインターフェース

AD5308/AD5318/AD5328とADSP-2101/ADSP-2103とのシリアル・インターフェースを図11に示します。ADSP-2101/ADSP-2103をSPORT送信交互フレーミング・モードで動作するようにセットアップする必要があります。ADSP-2101/ADSP-2103のSPORTをSPORT制御レジスタによってプログラミング設定し、内部クロック動作、アクティブ・ローのフレーミング、および16ビットのワード長として設定します。送信の開始は、SPORTをイネーブルにした後でTXレジスタにワードを書き込む動作によって実行されます。データは、DSPのシリアル・クロックのエッジが立ち上がるごとにクロック出力され、またAD5308/AD5318/AD5328のSCLKの立ち下がりエッジでこのDACにクロック入力されます。

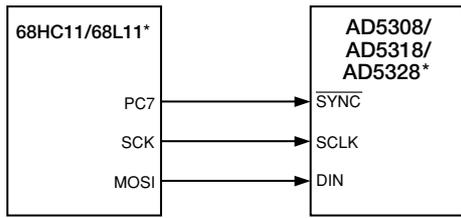


\* 図を明確にするために、その他のピンは省略しています。  
図11 ADSP-2101/ADSP-2103とAD5308/AD5318/AD5328とのインターフェース

## 68HC11/68L11とAD5308/AD5318/AD5328とのインターフェース

AD5308/AD5318/AD5328と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを図12に示します。68HC11/68L11のSCKでAD5308/AD5318/AD5328のSCLKを駆動し、またMOSI出力によってDACのシリアル・データ・ライン（DIN）を駆動します。SYNC信号は、ポート・ライン（PC7）から供給されます。このインターフェースの正しい動作を保証するためのセットアップ条件は、次のとおりです。まず、68HC11/68L11のCPOLビットを0、そしてCPHAビットを1に設定します。データがDACに送信されているときに、SYNCラインをローに引き込みます（PC7）。68HC11/68L11を上記のように設定すると、MOSI出力上に現れるデータはSCKの立ち下がりエッジで有効になります。68HC11/68L11からのシリアル・データは8ビット・バイトで送信され、送信サイクルでは8個の立ち下がりクロック・エッジのみが発生します。データはMSBファーストで送信されます。データをAD5308/AD5318/AD5328にロードするには、最初の8ビットが転送された後、PC7をローのまま保持し、2回目のシリアル書き込み動作をDACに対して実行します。この手続きが終了した後で、PC7をハイに戻します。

# AD5308/AD5318/AD5328

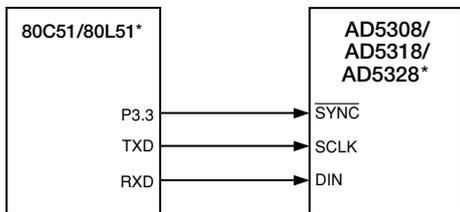


\* 図を明確にするために、その他のピンは省略しています。

図12 68HC11/68L11とAD5308/AD5318/AD5328とのインターフェース

## 80C51/80L51とAD5308/AD5318/AD5328とのインターフェース

AD5308/AD5318/AD5328と80C51/80L51マイクロコントローラとのシリアル・インターフェースを図13に示します。このインターフェースのセットアップは、次のようになります。80C51/80L51のTXDでAD5308/AD5318/AD5328のSCLKを駆動し、またRXDによってDACのシリアル・データ・ラインを駆動します。この場合も同様に、SYNC信号はポート上のビット・プログラマブル・ピンから供給します。このケースでは、ポート・ラインP3.3を使用します。データがAD5308/AD5318/AD5328に送信されるときに、P3.3がローになります。80C51/80L51は8ビット・バイトのみのデータを送信するので、送信サイクルでは8個の立ち下がりクロック・エッジのみが発生します。データをDACにロードするには、最初の8ビットが転送された後、P3.3をローのまま保持し、2回目の書き込みサイクルを開始して2番目のデータ・バイトを送信します。このサイクルが終了した後で、P3.3をハイに戻します。80C51/80L51は、LSBファーストのフォーマットでシリアル・データを出力します。AD5308/AD5318/AD5328では、最初に受信するビットとしてMSBのデータを要求します。したがって、80C51/80L51の送信ルーティンではこの点を考慮に入れる必要があります。

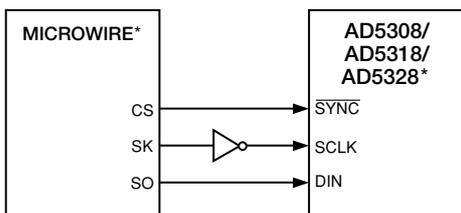


\* 図を明確にするために、その他のピンは省略しています。

図13 80C51/80L51とAD5308/AD5318/AD5328とのインターフェース

## MICROWIREとAD5308/AD5318/AD5328とのインターフェース

AD5308/AD5318/AD5328と任意のMICROWIREコンパチブル・デバイスとのインターフェースを図14に示します。シリアル・データはシリアル・クロックSKの立ち下がりエッジでシフト出力され、AD5308/AD5318/AD5328のSCLKの立ち下がりエッジに相当するSKの立ち上がりエッジでDACにシフト入力されます。



\* 図を明確にするために、その他のピンは省略しています。

図14 MICROWIREとAD5308/AD5318/AD5328とのインターフェース

## アプリケーション

### 代表的なアプリケーション回路

AD5308/AD5318/AD5328を幅広い範囲のリファレンス電圧と併用して、 $0.25V \sim V_{DD}$ のリファレンス範囲で完全な1象限乗算能力を実現するように設定できます。もっと一般的に説明すると、これらのデバイスは固定の高精度電圧リファレンスとともに使用されます。5V動作に適した電圧リファレンスは、AD780、ADR381、REF192 (2.5V電圧リファレンス) です。2.5V動作に適した外部電圧リファレンスは、AD589とAD1580 (1.2Vバンドギャップ電圧リファレンス) です。外部電圧リファレンスを使用する場合のAD5308/AD5318/AD5328の代表的なセットアップ回路を図15に示します。

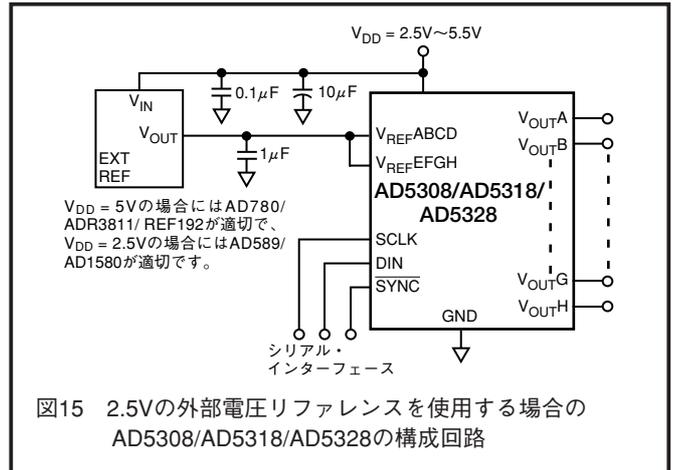


図15 2.5Vの外部電圧リファレンスを使用する場合のAD5308/AD5318/AD5328の構成回路

### リファレンス電圧からの $V_{DD}$ の駆動

リファレンス入力をunbufferedに設定しているときに、 $0V \sim V_{DD}$ の出力範囲が必要とされる場合の最も簡単な解決法は、リファレンス入力を $V_{DD}$ に接続することです。この電源がノイズを発生し、その精度が非常に劣る場合には、電圧リファレンスからAD5308/AD5318/AD5328に電源を供給できます。その一例として、REF195などの5V電圧リファレンスの利用が効果的です。REF195は、AD5308/AD5318/AD5328に対して安定した電源電圧を出力します。REF195から要求される代表的な電流は、 $1\mu A$ の電源電流とリファレンス入力に引き込まれる約 $112\mu A$ の電流 (unbufferedの場合) です。これは、DAC出力が無負荷時の電流値です。DAC出力に負荷が接続される場合には、REF195はその負荷に対しても電流を供給する必要があります。このトータル要求電流 ( $10k\Omega$ の負荷を各出力に接続する場合) は、以下のように求められます。

$$1.22mA + 8 (5V/10k\Omega) = 5.22mA$$

REF195の負荷レギュレーションはその代表値が2.0ppm/mAであるために、その消費電流が5.22mAのときに10.4ppm ( $52\mu V$ )の誤差が発生します。これは8ビットで0.003LSBの誤差、そして12ビットで0.043LSBの誤差に相当します。

### AD5308/AD5318/AD5328を使用したバイポーラ動作

AD5308/AD5318/AD5328は単電源動作用に設計されていますが、図16に示す回路を使用してバイポーラ出力範囲で動作するように設定することも可能です。この回路の出力電圧範囲は $\pm 5V$ です。出力アンプとしてAD820、AD8519、OP196を使用すると、アンプのレールtoレール出力動作が可能になります。

# AD5308/AD5318/AD5328

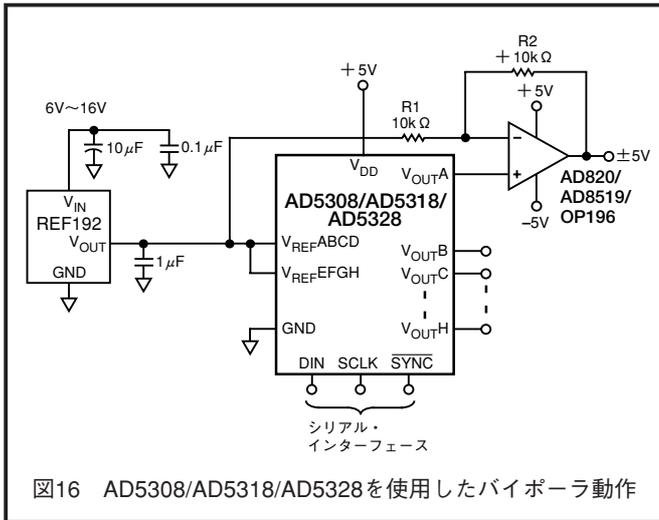


図16 AD5308/AD5318/AD5328を使用したバイポーラ動作

任意の入力コードに対応する出力電圧は、以下の数式から計算できます。

$$V_{OUT} = [ (REFIN \times D/2^N) \times (R1 + R2) / R1 - REFIN \times (R2/R1) ]$$

ここで、

D = DACにロードされるコードと等価な10進数値

N = DACの分解能

REFIN = リファレンス電圧入力、です。

REFIN = 5V、R1 = R2 = 10kΩの場合には、以下の数式が適用されます。

$$V_{OUT} = (10 \times D/2^N) - 5V$$

## プロセス制御アプリケーション用の光絶縁インターフェース

AD5308/AD5318/AD5328は多様性の優れた3線式シリアル・インターフェースを備えているので、プロセス制御および産業用アプリケーションでの高精度電圧の生成に最適です。ノイズ、安全性要件、または距離を考慮に入れるために、AD5308/AD5318/AD5328をコントローラから絶縁することが必要になる場合があります。これは、3kVを超える絶縁能力を備える光アイソレータを利用して達成できます。実際に達成されるデータ・レートは、選択するフォトカプラのタイプによって制限されます。AD5308/AD5318/AD5328はそのシリアル・ロード構造によって、光絶縁アプリケーションでの利用に最適です。AD5308/AD5318/AD5328の光絶縁インターフェースを図17に示していますが、ここではDIN、SCLKおよびSYNCの各入力がフォトカプラから駆動されます。デバイスの電源を絶縁することも必要です。これはトランスを使用して行います。トランスのDAC側に接続する5Vレギュレータによって、AD5308/AD5318/AD5328の動作に必要な5V電源が供給されます。

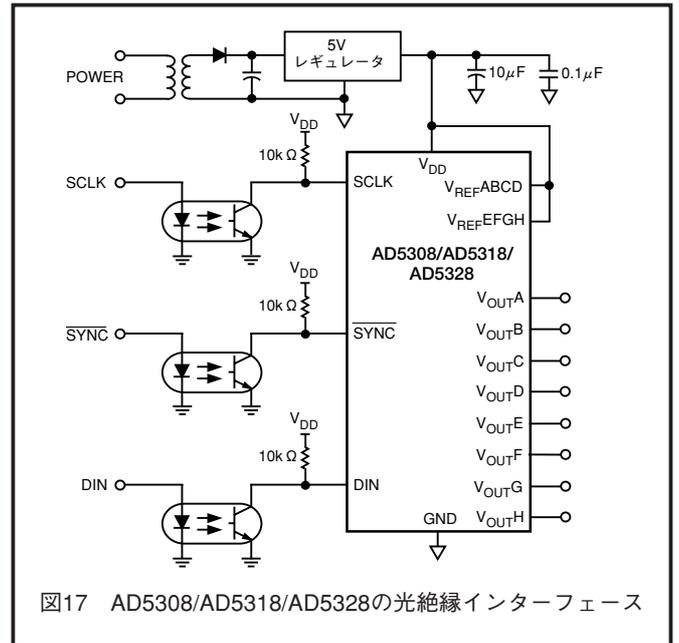


図17 AD5308/AD5318/AD5328の光絶縁インターフェース

## 複数個のAD5308/AD5318/AD5328のデコーディング

AD5308/AD5318/AD5328のSYNCピンを複数個のDACのデコーディング・アプリケーションに利用できます。このアプリケーションでは、システム内の各DACは同じシリアル・クロックとシリアル・データを受信しますが、SYNC入力のみについては一度にアクティブになるのは各デバイス1個に限定されるので、この16チャンネル・システムでは4チャンネルにアクセスできます。74HC139を2対4ライン・デコーダとして使用して、システム内の任意DACのアドレスを指定しています。タイミング誤差の発生を防止するために、コード化アドレス入力の状態が変化している間に、イネーブル入力をその非アクティブ状態に設定することが必要です。図18には、システム内に配置される複数個のAD5308デバイスをデコーディングするための代表的なセットアップ回路図を示しています。

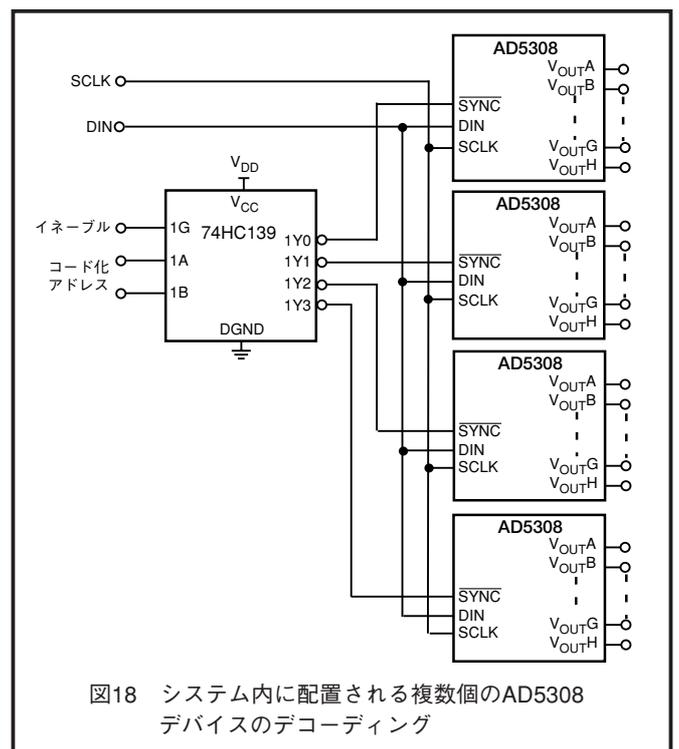


図18 システム内に配置される複数個のAD5308デバイスのデコーディング

# AD5308/AD5318/AD5328

表V AD53xxシリアル・デバイスの概要

部品番号	分解能	DNL	V <sub>REF</sub> ピン数	セトリング時間	インターフェース	パッケージ	ピン数
<b>シングル</b>							
AD5300	8	±60.25	0 (V <sub>REF</sub> = V <sub>DD</sub> )	4 μs	SPI	SOT23、μSOIC	6、8
AD5310	10	±60.50	0 (V <sub>REF</sub> = V <sub>DD</sub> )	6 μs	SPI	SOT23、μSOIC	6、8
AD5320	12	±61.00	0 (V <sub>REF</sub> = V <sub>DD</sub> )	8 μs	SPI	SOT23、μSOIC	6、8
AD5301	8	±0.25	0 (V <sub>REF</sub> = V <sub>DD</sub> )	6 μs	2線式	SOT23、μSOIC	6、8
AD5311	10	±0.50	0 (V <sub>REF</sub> = V <sub>DD</sub> )	7 μs	2線式	SOT23、μSOIC	6、8
AD5321	12	±1.00	0 (V <sub>REF</sub> = V <sub>DD</sub> )	8 μs	2線式	SOT23、μSOIC	6、8
<b>デュアル</b>							
AD5302	8	±0.25	2	6 μs	SPI	μSOIC	10
AD5312	10	±0.50	2	7 μs	SPI	μSOIC	10
AD5322	12	±1.00	2	8 μs	SPI	μSOIC	10
AD5303	8	±0.25	2	6 μs	SPI	TSSOP	16
AD5313	10	±0.50	2	7 μs	SPI	TSSOP	16
AD5323	12	±1.00	2	8 μs	SPI	TSSOP	16
<b>クワッド</b>							
AD5304	8	±0.25	1	6 μs	SPI	μSOIC	10
AD5314	10	±0.50	1	7 μs	SPI	μSOIC	10
AD5324	12	±1.00	1	8 μs	SPI	μSOIC	10
AD5305	8	±0.25	1	6 μs	2線式	μSOIC	10
AD5315	10	±0.50	1	7 μs	2線式	μSOIC	10
AD5325	12	±1.00	1	8 μs	2線式	μSOIC	10
AD5306	8	±0.25	4	6 μs	2線式	TSSOP	16
AD5316	10	±0.50	4	7 μs	2線式	TSSOP	16
AD5326	12	±1.00	4	8 μs	2線式	TSSOP	16
AD5307	8	±0.25	2	6 μs	SPI	TSSOP	16
AD5317	10	±0.50	2	7 μs	SPI	TSSOP	16
AD5327	12	±1.00	2	8 μs	SPI	TSSOP	16
<b>オクタール</b>							
AD5308	8	±0.25	2	6 μs	SPI	TSSOP	16
AD5318	10	±0.50	2	7 μs	SPI	TSSOP	16
AD5328	12	±1.00	2	8 μs	SPI	TSSOP	16

この詳細情報については、[www.analog.com/support/standard\\_linear/selection\\_guides/AD53xx.html](http://www.analog.com/support/standard_linear/selection_guides/AD53xx.html)に掲載しています。

表VI AD53xxパラレル・デバイスの概要

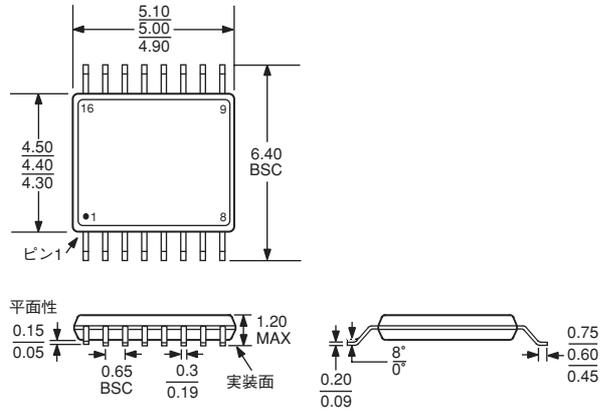
部品番号	分解能	DNL	V <sub>REF</sub> ピン数	セトリング時間	ピンの追加機能				パッケージ	ピン数
					BUF	GAIN	HBEN	CLR		
<b>シングル</b>										
AD5330	8	±0.25	1	6 μs	√	√		√	TSSOP	20
AD5331	10	±0.50	1	7 μs		√		√	TSSOP	20
AD5340	12	±1.00	1	8 μs	√	√		√	TSSOP	24
AD5341	12	±1.00	1	8 μs	√	√	√	√	TSSOP	20
<b>デュアル</b>										
AD5332	8	±0.25	2	6 μs				√	TSSOP	20
AD5333	10	±0.50	2	7 μs	√	√		√	TSSOP	24
AD5342	12	±1.00	2	8 μs	√	√		√	TSSOP	28
AD5343	12	±1.00	1	8 μs			√	√	TSSOP	20
<b>クワッド</b>										
AD5334	8	±0.25	2	6 μs		√		√	TSSOP	24
AD5335	10	±0.50	2	7 μs			√	√	TSSOP	24
AD5336	10	±0.50	4	7 μs		√		√	TSSOP	28
AD5344	12	±1.00	4	8 μs					TSSOP	28

# AD5308/AD5318/AD5328

## 外形寸法

### 16ピン薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP) (RU-16)

サイズはmmで示します。



JEDEC規格MO-153ABに適合しています。



# AD5308/AD5318/AD5328

TDS08/2002/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。